

ВИКИПЕДИЯ

# Список архитектур ARM

---

Материал из Википедии — свободной энциклопедии

Список процессорных и микроконтроллерных микроархитектур семейства ARM, разработанных ARM Holdings и сторонними группами. Упорядочено по версии набора команд ARM.

Компания ARM предоставляла список фирм, реализовавших архитектуры ARM самостоятельно<sup>[1]</sup>. Некоторую информацию также предоставляет компания Keil<sup>[2]</sup>.

## Содержание

---

### Ядра ARM

Разработанные в ARM

Разработки других групп

### См. также

### Примечания

### Литература

Список ядер собственной разработки ARM также опубликован на их интернет-сайте<sup>[3]</sup>.

## Ядра ARM

### Разработанные в ARM

Семейство ARM	Архитектура ARM	Ядро	Дополнения	Кэши (I / D), MMU	Типичные MIPS @ МГц
<b>ARM1</b>	ARMv1	ARM1	Первая реализация	Нет	
<b>ARM2</b>	ARMv2	ARM2	В ARMv2 была добавлена инструкция MUL (умножение)	Нет	4 MIPS @ 8 МГц 0,33 DMIPS/МГц
	ARMv2a	ARM250	Встроенный MEMC (MMU), графический процессор и сопроцессор ввода-вывода. В ARMv2a добавлены инструкции SWP и SWPB (обмен)	Нет, MEMC1a	7 MIPS @ 12 МГц
<b>ARM3</b>	ARMv2a	ARM3	Первая интегрированная кэш память	4 КБ, унифицированный	12 MIPS @ 25 МГц 0,50 DMIPS/МГц

<b>ARM6</b>	ARMv3	ARM60	В ARMv3 добавлена поддержка 32-битной адресации памяти (ранее — 26 бит)	Нет	10 MIPS @ 12 МГц
		ARM600	Как в ARM60, дополнительно — кэш и шина сопроцессора (для блока FPA10 обработки числа с плавающей запятой)	4 КБ, унифицированный	28 MIPS @ 33 МГц
		ARM610	Как в ARM60, кэш, без шины сопроцессора	4 КБ, унифицированный	17 MIPS @ 20 МГц 0,65 DMIPS/МГц
<b>ARM7</b>	ARMv3	ARM700		8 КБ, унифицированный	40 МГц
		ARM710	Как ARM700, без шины сопроцессора	8 КБ, унифицированный	40 МГц
		ARM710a	Как ARM710	8 КБ, унифицированный	40 МГц 0,68 DMIPS/МГц
<b>ARM7TDMI</b>	ARMv4T	ARM7TDMI(-S)	3-стадийный конвейер, Thumb. В ARMv4 отказались от 26-битной адресации	Нет	15 MIPS @ 16,8 МГц 63 DMIPS @ 70 МГц
		ARM710T	Как ARM7TDMI, дополнительно имеет кэш	8 КБ, унифицированный, MMU	36 MIPS @ 40 МГц
		ARM720T	Как ARM7TDMI, имеет кэш	8 КБ, унифицированный, MMU (с FCSE — <i>Fast Context Switch Extension</i> )	60 MIPS @ 59,8 МГц
		ARM740T	Как ARM7TDMI, имеет кэш	MPU	
<b>ARM7EJ</b>	ARMv5TEJ	ARM7EJ-S	5-стадийный конвейер, Thumb, Jazelle DBX, Расширенные DSP-команды	Нет	
<b>ARM8</b>	ARMv4	ARM810 <sup>[4][5]</sup>	5-стадийный конвейер, статический предсказатель ветвлений, удвоение пропускной способности памяти	8 КБ, унифицированный, MMU	84 MIPS @ 72 МГц 1,16 DMIPS/МГц
<b>ARM9TDMI</b>	ARMv4T	ARM9TDMI	5-стадийный конвейер, Thumb	Нет	
		ARM920T	Как ARM9TDMI, кэши	16 КБ / 16 КБ, MMU с FCSE ( <i>Fast Context Switch Extension</i> ) <sup>[6]</sup>	200 MIPS @ 180 МГц
		ARM922T	Как ARM9TDMI, кэши	8 КБ / 8 КБ, MMU	
		ARM940T	Как ARM9TDMI, кэши	4 КБ / 4 КБ, MPU	

<b><u>ARM9E</u></b>	ARMv5TE	ARM946E-S	Thumb, DSP, кэши	Различные, тесно связанная память (TCM), MPU	
		ARM966E-S	Thumb, DSP	Без кэша и памяти TCM	
		ARM968E-S	Как ARM966E-S	Без кэша и TCM	
	ARMv5TEJ	ARM926EJ-S	Thumb, Jazelle DBX, DSP	Различные, TCM, MMU	220 MIPS @ 200 МГц
	ARMv5TE	ARM996HS	Процессор без тактовой частоты, остальное как у ARM966E-S	Без кэша, TCM, MPU	
<b><u>ARM10E</u></b>	ARMv5TE	ARM1020E	6-стадийный конвейер, Thumb, DSP, (VFP)	32 КБ / 32 КБ, MMU	
		ARM1022E	Как ARM1020E	16 КБ / 16 КБ, MMU	
	ARMv5TEJ	ARM1026EJ-S	Thumb, Jazelle DBX, DSP, (VFP)	Различные, MMU или MPU	
<b><u>ARM11</u></b>	ARMv6	ARM1136J(F)-S <sup>[7]</sup>	8-стадийный конвейер, SIMD, Thumb, Jazelle DBX, (VFP), DSP	Различные, MMU	740 @ 532—665 МГц (i.MX31 SoC), 400—528 МГц
	ARMv6T2	ARM1156T2(F)-S	8-стадийный конвейер, SIMD, Thumb-2, (VFP), DSP	Различные, MPU	
	ARMv6Z	ARM1176JZ(F)-S	Как ARM1136EJ(F)-S	Различные, MMU + TrustZone	965 DMIPS @ 772 МГц, до 2600 DMIPS с 4 процессорами <sup>[8]</sup>
	ARMv6K	ARM11 MPCore	Как ARM1136EJ(F)-S, SMP с 1-4 ядрами	Различные, MMU	
<b>SecurCore</b>	ARMv6-M	SC000			0,9 DMIPS/МГц
	ARMv4T	SC100			
	ARMv7-M	SC300			1,25 DMIPS/МГц

<b><u>Cortex-M</u></b>	ARMv6-M	<u>Cortex-M0</u> <sup>[9]</sup>	Microcontroller profile, Thumb + Thumb-2 subset (BL, MRS, MSR, ISB, DSB, DMB), <sup>[10]</sup> аппаратное умножение, опциональный системный таймер и память «bit-banding»	Опциональный кэш, без TCM, без MPU	0,84 DMIPS/МГц
------------------------	---------	---------------------------------	---------------------------------------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------	----------------

<b>Cortex-M</b>	ARMv6-M	<u>Cortex-M0+</u> <sup>[11]</sup>	Микроконтроллер, подмножество Thumb и Thumb-2 (BL, MRS, MSR, ISB, DSB, DMB), <sup>[10]</sup> аппаратное умножение, опциональный системный таймер и память «bit-banding»	Опциональный кэш, без TCM, опциональный MPU на 8 регионов	0,93 DMIPS/МГц
		<u>Cortex-M1</u> <sup>[12]</sup>	Микроконтроллер, подмножество Thumb и Thumb-2 (BL, MRS, MSR, ISB, DSB, DMB), <sup>[10]</sup> аппаратное умножение, опция SVC / банк для указателя стека, опциональный системный таймер, без памяти «bit-banding»	Опциональный кэш, 0-1024 КБ I-TCM, 0-1024 КБ D-TCM, без MPU	136 DMIPS @ 170 МГц, <sup>[13]</sup> (0,8 DMIPS/МГц FPGA-dependent) <sup>[14]</sup>
	ARMv7-M	<u>Cortex-M3</u> <sup>[15]</sup>	Микроконтроллер, Thumb / Thumb-2, аппаратные умножение и деление, опциональная память «bit-banding»	Опциональный кэш, без TCM, опциональный MPU на 8 регионов	1,25 DMIPS/МГц
	ARMv7E-M	<u>Cortex-M4</u> <sup>[16]</sup>	Микроконтроллер, Thumb / Thumb-2 / DSP / опциональное расширение FPv4 для одинарной точности, аппаратные умножение и деление, опциональная память «bit-banding»	Опциональный кэш, без TCM, опциональный MPU на 8 регионов	1,25 DMIPS/МГц (1,27 с FPU FPv4)
	ARMv7E-M	<u>Cortex-M7</u> <sup>[17]</sup>	Микроконтроллер, Thumb / Thumb-2 / DSP / опциональный блок FPU для чисел одинарной и двойной точности, аппаратные умножение и деление	0-64 КБ I-кэш, 0-64 КБ D-кэш, 0-16 МБ I-TCM, 0-16 МБ D-TCM (все — с опциональным ECC), Опциональный MPU на 8 или 16 регионов	2,14 DMIPS/МГц
	<u>ARMv8-M (https://www.arm.com/products/processors/instruction-set-architectures/armv8-m-architecture.php) Baseline</u>	<u>Cortex-M23 (https://www.arm.com/products/processors/cortex-m/cortex-m23-processor.php)</u>	ARM TrustZone		0,98 DMIPS/МГц 2,5 CoreMark/МГц
	<u>ARMv8-M (https://www.arm.com/products/processors/instruction-set-architectures/armv8-m-architecture.php) Mainline</u>	<u>Cortex-M33 (https://www.arm.com/products/processors/cortex-m/cortex-m33-processor.php)</u>	ARM TrustZone		1,5 DMIPS/МГц 3,86 CoreMark/МГц

<b>Cortex-R</b>	ARMv7-R	Cortex-R4 <sup>[18]</sup>	Профиль реального времени, Thumb / Thumb-2 / DSP / опциональный VFPv3 FPU, аппаратные умножение и опциональное деление, опциональные четность и ECC для внутренних шин, кэша, TCM, 8-стадийный конвейер, два ядра в режиме «lockstep» с логикой обработки ошибок	0-64 КБ / 0-64 КБ, 0-2 из 0-8 МБ TCM, опционально MPU на 8 или 12	
		Cortex-R5 (MPCore) <sup>[19]</sup>	Профиль реального времени, Thumb / Thumb-2 / DSP / опциональный VFPv3 FPU, аппаратные умножение и опциональное деление, опциональные четность и ECC для внутренних шин, кэша, TCM, 8-стадийный конвейер, два ядра в режиме «lockstep» с логикой обработки ошибок. Опционально допускается работа двух ядер как независимых. Периферийный порт с низкими задержками (LLPP), порт когерентности для ускорителя (ACP) <sup>[20]</sup>	0-64 КБ / 0-64 КБ, 0-2 из 0-8 МБ TCM, опц. MPU на 12 или 16	
		Cortex-R7 (MPCore) <sup>[21]</sup>	Профиль реального времени, Thumb / Thumb-2 / DSP / опциональный VFPv3 FPU, аппаратные умножение и опциональное деление, опциональные четность и ECC для внутренних шин, кэша, TCM, 11-стадийный конвейер, два ядра в режиме «lockstep» с логикой обработки ошибок. Ядра out-of-order, с динамическим переименованием регистров. Опционально допускается работа двух ядер как независимых. Периферийный порт с низкими задержками (LLPP), порт когерентности для ускорителя (ACP) <sup>[20]</sup>	0-64 КБ / 0-64 КБ, ? из 0-128 КБ TCM, опц. MPU на 16	

<b>Cortex-A</b>	ARMv7-A	Cortex-A5 <sup>[22]</sup>	Профиль «Application», ARM / Thumb / Thumb-2 / DSP / SIMD / опциональный VFPv4-D16 FPU / опциональный NEON / Jazelle RCT и DBX, 1-4 ядро, опционально MPCore, блок управления снуированием (SCU, snoop control unit), контроллер общих прерываний (GIC), порт когерентности для ускорителя (ACP)	4-64 КБ / 4-64 КБ L1, MMU + TrustZone	1,57 DMIPS/МГц на ядро
-----------------	---------	---------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	---------------------------------------	------------------------

**Cortex-A**

## ARMv7-A

<u>Cortex-A7 MPCore</u> <sup>[23]</sup>	Профиль «Application», ARM / Thumb / Thumb-2 / DSP / VFPv4-D16 FPU / NEON / Jazelle RCT и DBX / аппаратная виртуализация, очередное исполнение команд (in-order), суперскаляр, SMP на 1-4 ядра, <i>Large Physical Address Extensions</i> (LPAE), блок управления снуированием (SCU), контроллер общих прерываний (GIC), порт когерентности для ускорителя (ACP). Архитектура и набор расширений совпадают с Cortex-A15. 8-10 стадий в конвейере, пониженное энергопотребление <sup>[24]</sup>	32 КБ / 32 КБ L1, 0-4 МБ L2, MMU + TrustZone	1,9 DMIPS/МГц на ядро
<u>Cortex-A8</u> <sup>[25]</sup>	Профиль «Application», ARM / Thumb / Thumb-2 / VFPv3 FPU / NEON / Jazelle RCT и DAC, 13-стадийный суперскаляр	16-32 КБ / 16-32 КБ L1, 0-1 МБ L2 опц. ECC, MMU + TrustZone	до 2000 (2,0 DMIPS/МГц с частотами от 600 МГц до превышающих 1 ГГц)
<u>Cortex-A9 MPCore</u> <sup>[26]</sup>	Профиль «Application», ARM / Thumb / Thumb-2 / DSP / опционально VFPv3 FPU / опционально NEON / Jazelle RCT и DBX, внеочередное исполнение (out-of-order) со спекулятивностью, суперскаляр, SMP на 1-4 ядра, блок управления снуированием (SCU), контроллер общих прерываний (GIC), порт когерентности для ускорителя (ACP).	16-64 КБ / 16-64 КБ L1, 0-8 МБ L2 опц. контроль четности, MMU + TrustZone	2,5 DMIPS/МГц на ядро, 10,000 DMIPS @ 2 ГГц на техпроцессе TSMC 40G (два ядра)
<u>Cortex-A12</u> <sup>[27]</sup> позже объединен с A17	Профиль «Application», ARM / Thumb-2 / DSP / VFPv4 FPU / NEON / аппаратная виртуализация, внеочередное спекулятивное исполнение, суперскаляр, SMP на 1-4 ядра, <i>Large Physical Address Extensions</i> (LPAE), блок управления снуированием (SCU), контроллер общих прерываний (GIC), порт когерентности для ускорителя (ACP).	32-64 КБ / 32 КБ L1, 256 КБ-8 МБ L2	3,0 DMIPS/МГц на ядро
<u>Cortex-A15 MPCore</u> <sup>[28]</sup>	Профиль «Application», ARM / Thumb / Thumb-2 / DSP / VFPv4 FPU / NEON / целочисленное деление / MAC (объединенное умножение-сложение) / Jazelle RCT / аппаратная виртуализация, внеочередное спекулятивное исполнение, суперскаляр, SMP на 1-4 ядра, <i>Large Physical Address Extensions</i> (LPAE), блок управления снуированием (SCU), контроллер общих прерываний (GIC), порт	32 КБ с четностью / 32 КБ с ECC L1, 0-4 МБ L2 с ECC, MMU + TrustZone	Не менее 3,5 DMIPS/МГц на ядро (до 4,01 DMIPS/МГц в зависимости от реализации) <sup>[29]</sup>

<b>Cortex-A</b>	ARMv7-A		когерентности для ускорителя (ACP). 15-24 стадийный конвейер <sup>[24]</sup>		
		<u>Cortex-A17 MPCore</u>	Профиль «Application», ARM / Thumb / Thumb-2 / DSP / VFPv4 FPU / NEON / целочисленное деление / MAC (объединенное умножение-сложение) / Jazelle RCT / аппаратная виртуализация, внеочередное спекулятивное исполнение, суперскаляр, SMP на 1-4 ядра, <i>Large Physical Address Extensions</i> (LPAE), блок управления снупированием (SCU), контроллер общих прерываний (GIC), порт когерентности для ускорителя (ACP).	MMU + TrustZone	
<b>Cortex-A50</b>	ARMv8-A	<u>Cortex-A53<sup>[30]</sup></u>	Профиль «Application», AArch32 и AArch64, SMP на 1-4 ядра, Trustzone, улучшенный NEON SIMD, VFPv4, аппаратная виртуализация, запуск до двух команд в цикл, очередное (in-order) конвейерное исполнение	8-64 КБ с четностью / 8- 64 КБ с ECC L1 на каждое ядро, 128 КБ-2 МБ общий L2, 40- битные физические адреса	2,3 DMIPS/МГц
		<u>Cortex-A57<sup>[31]</sup></u>	Профиль «Application», AArch32 и AArch64, SMP на 1-4 ядра, Trustzone, улучшенный NEON SIMD, VFPv4, аппаратная виртуализация, запуск множества команд в цикл, глубокое внеочередное исполнение	48 КБ с двойной четностью (DED) / 32 КБ L1 с ECC на ядро, 512 КБ-2 МБ общий L2, 44- битные физ. адреса	Не менее 4,1 DMIPS/МГц на ядро (до 4,76 DMIPS/ МГц в зависимости от реализации)
		<u>Cortex-A72<sup>[32]</sup></u>			
Семейство ARM	Архитектура ARM	Ядро	Дополнения	Кэши (I / D), <u>MMU</u>	Типичные <u>MIPS @ МГц</u>

## Разработки других групп

Разработаны сторонними компаниями, владевшими архитектурной лицензией от ARM, которая разрешала реализацию запатентованных инструкций.

Семейство	Набор команд	Микроархитектура	Набор расширения	Кэш I / D), MMU	Типичные Typical MIPS @ МГц
<b>StrongARM</b>	ARMv4	SA-110	5-стадийный конвейер	16 КБ / 16 КБ, MMU	100-206 МГц 1,0 DMIPS/МГц
		SA-1100	Развитие SA-110	16 КБ / 8 КБ, MMU	
<b>Faraday</b> <sup>[33]</sup>	ARMv4	FA510	6-стадийный конвейер	До 32 КБ / 32 КБ кэш, MPU	1,26 DMIPS/МГц 100—200 МГц
		FA526		До 32 КБ / 32 КБ кэш, MMU	1,26 MIPS/МГц 166—300 МГц
		FA626	8-стадийный конвейер	32 КБ / 32 КБ кэш, MMU	1,35 DMIPS/МГц 500 МГц
	ARMv5TE	FA606TE	5-стадийный конвейер	Без кэша, без MMU	1,22 DMIPS/МГц 200 МГц
		FA626TE	8-стадийный конвейер	32 КБ / 32 КБ кэш, MMU	1,43 MIPS/МГц 800 МГц
		FMP626TE	8-стадийный конвейер, SMP		1,43 MIPS/МГц 500 МГц
		FA726TE	13-стадийный конвейер, запуск двух инструкций в такт		2,4 DMIPS/МГц 1000 МГц
<b>XScale</b>	ARMv5TE	XScale	7-стадийный конвейер, Thumb, DSP		32 КБ / 32 КБ, MMU
<i>Bulverde</i>		Дополнительно: расширения WMMX, Wireless SpeedStep	32 КБ / 32 КБ, MMU	312-624 МГц	
<i>Monahans</i> <sup>[34]</sup>		Дополнительно: расширение WMMX2	32 КБ / 32 КБ (L1), опциональный L2 кэш до 512 КБ, MMU	Up to 1,25 ГГц	
<b>Marvell Sheeva</b>	ARMv5	Feroceon	5-8 стадий конвейера, запуск одной инструкции за цикл	16 КБ / 16 КБ, MMU	600-2000 МГц
		Jolteon	5-8 стадий конвейера, запуск двух инструкций за цикл	32 КБ / 32 КБ, MMU	
		PJ1 (Mohawk)	5-8 стадий конвейера, запуск двух инструкций за цикл, WMMX2	32 КБ / 32 КБ, MMU	1,46 DMIPS/МГц 1,06 ГГц
	ARMv6 / ARMv7-A	PJ4	6-9 стадий конвейера, запуск двух инструкций за цикл, WMMX2, SMP	32 КБ / 32 КБ, MMU	2,41 DMIPS/МГц 1,6 ГГц

<b>Snapdragon</b>	ARMv7-A	<u>Scorpion</u> <sup>[35]</sup>	1 или 2 ядра. ARM / Thumb / Thumb-2 / DSP / SIMD / VFPv3 FPU / NEON (ширина 128-бит)	256 КБ L2 на ядро	2,1 DMIPS/МГц на ядро
		<u>Krait</u> <sup>[35]</sup>	1, 2, или 4 ядра. ARM / Thumb / Thumb-2 / DSP / SIMD / VFPv4 FPU / NEON (ширина 128-бит)	4 КБ / 4 КБ L0, 16 КБ / 16 КБ L1, 512 КБ L2 на ядро	3,3 DMIPS/МГц на ядро
<b>Apple A6, Apple A6X</b>	ARMv7-A	<u>Swift</u> <sup>[36]</sup>	2 ядра. ARM / Thumb / Thumb-2 / DSP / SIMD / VFPv4 FPU / NEON	L1: 32 КБ / 32 КБ, L2: 1 МБ	3,5 DMIPS/МГц на ядро
<b>Apple A7</b>	ARMv8-A	Cyclone	2 ядра. ARM / Thumb / Thumb-2 / DSP / SIMD / VFPv4 FPU / NEON / <u>TrustZone</u> / <u>AArch64</u>	L1: 64 КБ / 64 КБ, L2: 1 МБ	1,3 ГГц
<b>Apple A8</b>	ARMv8-A	Cyclone	2 ядра. ARM / Thumb / Thumb-2 / DSP / SIMD / VFPv4 FPU / NEON / <u>TrustZone</u> / <u>AArch64</u>	L1: (н/у);КБ, L2: (н/у);МБ	1,4 ГГц
<b>X-Gene</b>	ARMv8-A	X-Gene	64-разрядный, запуск до 4 инструкций за цикл, SMP, 64 ядра <sup>[37]</sup>	кэш, MMU, виртуализация	3 ГГц
<b>Denver</b>	ARMv8-A	Denver	64-разрядный, 2 ядра SMP, аппаратный декодер до 2 инструкций за цикл, либо программная динамическая recompilation в широкие инструкции	128 КБ I / 64 КБ D	до 2,5 ГГц
<b>ThunderX</b>	ARMv8-A	ThunderX	64-разрядный, 2 модели: 8-16 или 24-48 ядер (возможно объединение двух чипов)		До 2,5 ГГц

## См. также

- [ARM \(архитектура\)](#)
- [Список систем команд](#)
- [en:Comparison of ARMv7-A cores](#)
- [en:Comparison of ARMv8-A cores](#)
- [en>List of applications of ARM cores](#)

## Примечания

1. [Line Card \(https://web.archive.org/web/20110605032934/http://www.arm.com/support/0141\\_5LineCard.pdf#\)](https://web.archive.org/web/20110605032934/http://www.arm.com/support/0141_5LineCard.pdf#) (PDF) (2003). Дата обращения: 6 января 2011. Архивировано из оригинала ([http://www.arm.com/support/0141\\_5LineCard.pdf](http://www.arm.com/support/0141_5LineCard.pdf)) 5 июня 2011 года.
2. *ARM Ltd and ARM Germany GmbH. Device Database* (<http://www.keil.com/dd/parms/arm.htm>). Keil. Дата обращения: 6 января 2011.
3. [Processors \(http://www.arm.com/products/processors/\)](http://www.arm.com/products/processors/). ARM (2011). Дата обращения: 6 января 2011.

4. ARM Holdings (7 August 1996), *ARM810 – Dancing to the Beat of a Different Drum* ([http://www.dlhoffman.com/publiclibrary/software/hot\\_chips\\_papers/hc96/hc8\\_pdf/4.1.pdf](http://www.dlhoffman.com/publiclibrary/software/hot_chips_papers/hc96/hc8_pdf/4.1.pdf)), Hot Chips, <[http://www.dlhoffman.com/publiclibrary/software/hot\\_chips\\_papers/hc96/hc8\\_pdf/4.1.pdf](http://www.dlhoffman.com/publiclibrary/software/hot_chips_papers/hc96/hc8_pdf/4.1.pdf)>  
 Проверено 21 сентября 2013. Архивная копия ([https://web.archive.org/web/20150923215404/http://www.dlhoffman.com/publiclibrary/software/hot\\_chips\\_papers/hc96/hc8\\_pdf/4.1.pdf](https://web.archive.org/web/20150923215404/http://www.dlhoffman.com/publiclibrary/software/hot_chips_papers/hc96/hc8_pdf/4.1.pdf)) от 23 сентября 2015 на [Wayback Machine](#)
5. VLSI Technology Now Shipping ARM810 ([http://www.eetimes.com/document.asp?doc\\_id=1208831](http://www.eetimes.com/document.asp?doc_id=1208831)), *EE Times* (26 August 1996). Дата обращения: 21 сентября 2013.
6. Register 13, FCSE PID register (<http://infocenter.arm.com/help/topic/com.arm.doc.ddi0151c/I47491.html>) ARM920T Technical Reference Manual
7. ARM1136J(F)-S – ARM Processor (<http://www.arm.com/products/CPUs/ARM1136JF-S.html>). Arm.com. Дата обращения: 18 апреля 2009. Архивировано (<https://web.archive.org/web/20090321200633/http://www.arm.com/products/CPUs/ARM1136JF-S.html>) 21 марта 2009 года.
8. ARM11 Processor Family (<http://www.arm.com/products/processors/classic/arm11/>). ARM. Дата обращения: 12 декабря 2010.
9. Cortex-M0 Specification Summary; ARM Holdings. (<http://arm.com/products/processors/cortex-m/cortex-m0.php?tab=Specifications>)
10. Cortex-M0/M0+/M1 Instruction set; ARM Holding. ([https://archive.today/20130418234149/http://archive.electronicdesign.com/files/29/20719/fig\\_01.gif](https://archive.today/20130418234149/http://archive.electronicdesign.com/files/29/20719/fig_01.gif)) Дата обращения: 14 октября 2014. Архивировано из оригинала ([http://archive.electronicdesign.com/files/29/20719/fig\\_01.gif](http://archive.electronicdesign.com/files/29/20719/fig_01.gif)) 18 апреля 2013 года.
11. Cortex-M0+ Specification Summary; ARM Holdings. (<http://www.arm.com/products/processors/cortex-m/cortex-m0plus.php>)
12. Cortex-M1 Specification Summary; ARM Holdings. (<http://arm.com/products/processors/cortex-m/cortex-m1.php?tab=Specifications>)
13. ARM Holdings (19 March 2007). *ARM Extends Cortex Family with First Processor Optimized for FPGA* (<http://www.arm.com/news/17017.html>). Пресс-релиз. Проверено 11 April 2007.
14. ARM Cortex-M1 ([http://www.arm.com/products/CPUs/ARM\\_Cortex-M1.html](http://www.arm.com/products/CPUs/ARM_Cortex-M1.html)). ARM product website. Дата обращения: 11 апреля 2007.
15. Cortex-M3 Specification Summary; ARM Holdings. (<http://arm.com/products/processors/cortex-m/cortex-m3.php?tab=Specifications>)
16. Cortex-M4 Specification Summary; ARM Holdings. (<http://arm.com/products/processors/cortex-m/cortex-m4-processor.php?tab=Specifications>)
17. Cortex-M7 Specification Summary; ARM Holdings. (<http://arm.com/products/processors/cortex-m/cortex-m7-processor.php?tab=Specifications>)
18. Cortex-R4 Specification Summary; ARM Holdings. (<https://web.archive.org/web/20110707163801/http://arm.com/products/processors/cortex-r/cortex-r4.php?tab=Specification>) Дата обращения: 14 октября 2014. Архивировано из оригинала (<http://arm.com/products/processors/cortex-r/cortex-r4.php?tab=Specification>) 7 июля 2011 года.
19. Cortex-R5 Specification Summary; ARM Holdings. (<https://web.archive.org/web/20120706031545/http://arm.com/products/processors/cortex-r/cortex-r5.php>) Дата обращения: 14 октября 2014. Архивировано из оригинала (<http://arm.com/products/processors/cortex-r/cortex-r5.php>) 6 июля 2012 года.
20. Cortex-R5 & Cortex-R7 Press Release; ARM Holdings; 31 January 2011. (<http://arm.com/products/arm-expands-unmatched-real-time-cortex-processor-portfolio.php>)
21. Cortex-R7 Specification Summary; ARM Holdings. (<http://arm.com/products/processors/cortex-r/cortex-r7.php?tab=Specification>)
22. Cortex-A5 Specification Summary; ARM Holdings. (<http://arm.com/products/processors/cortex-a/cortex-a5.php?tab=Specifications>)
23. Cortex-A7 Specification Summary; ARM Holdings. (<http://arm.com/products/processors/cortex-a/cortex-a7.php?tab=Specifications>)
24. Deep inside ARM's new Intel killer ([https://www.theregister.co.uk/2011/10/20/details\\_on\\_big\\_little\\_processing/](https://www.theregister.co.uk/2011/10/20/details_on_big_little_processing/)), The Register (20 October 2011).
25. Cortex-A8 Specification Summary; ARM Holdings. (<http://arm.com/products/processors/cortex-a/cortex-a8.php?tab=Specifications>)
26. Cortex-A9 Specification Summary; ARM Holdings. (<http://arm.com/products/processors/cortex-a/cortex-a9.php?tab=Specifications>)

27. [Cortex-A12 Summary; ARM Holdings.](http://www.arm.com/products/processors/cortex-a/cortex-a12-processor.php) (<http://www.arm.com/products/processors/cortex-a/cortex-a12-processor.php>) [Архивировано \(http://web.archive.org/web/20130607135127/http://www.arm.com/products/processors/cortex-a/cortex-a12-processor.php\)](http://web.archive.org/web/20130607135127/http://www.arm.com/products/processors/cortex-a/cortex-a12-processor.php) 7 июня 2013 года.
28. [Cortex-A15 Specification Summary; ARM Holdings.](http://arm.com/products/processors/cortex-a/cortex-a15.php?tab=Specifications) (<http://arm.com/products/processors/cortex-a/cortex-a15.php?tab=Specifications>)
29. [Exclusive : ARM Cortex-A15 «40 Per Cent» Faster Than Cortex-A9](http://www.itproportal.com/2011/03/14/exclusive-arm-cortex-a15-40-cent-faster-cortex-a9/) (<http://www.itproportal.com/2011/03/14/exclusive-arm-cortex-a15-40-cent-faster-cortex-a9/>) // [ITProPortal.com](http://www.itproportal.com)
30. [Cortex-A53 Processor](http://www.arm.com/products/processors/cortex-a50/cortex-a53-processor.php) (<http://www.arm.com/products/processors/cortex-a50/cortex-a53-processor.php>). [ARM Holdings](http://www.arm.com). Дата обращения: 13 октября 2012.
31. [Cortex-A57 Processor](http://www.arm.com/products/processors/cortex-a50/cortex-a57-processor.php) (<http://www.arm.com/products/processors/cortex-a50/cortex-a57-processor.php>). [ARM Holdings](http://www.arm.com). Дата обращения: 13 октября 2012.
32. [Cortex-A72 Processor](http://www.arm.com/products/processors/cortex-a/cortex-a72-processor.php) (<http://www.arm.com/products/processors/cortex-a/cortex-a72-processor.php>). [ARM Holdings](http://www.arm.com). Дата обращения: 13 марта 2016.
33. [\[1\]](http://www.faraday-tech.com/html/documentation/download/Faraday_CPU_roadmap_FTC-2011-01.pdf) ([http://www.faraday-tech.com/html/documentation/download/Faraday\\_CPU\\_roadmap\\_FTC-2011-01.pdf](http://www.faraday-tech.com/html/documentation/download/Faraday_CPU_roadmap_FTC-2011-01.pdf)) (недоступная ссылка)
34. [3rd Generation Intel XScale Microarchitecture: Developer’s Manual](http://download.intel.com/design/intelxscale/31628302.pdf) (<http://download.intel.com/design/intelxscale/31628302.pdf>) . [download.intel.com](http://download.intel.com). Intel (май 2007). Дата обращения: 2 декабря 2010.
35. [Qualcomm’s New Snapdragon S4: MSM8960 & Krait Architecture Explored; Anandtech.](http://www.anandtech.com/show/4940/qualcomm-new-snapdragon-s4-msm8960-krait-architecture) (<http://www.anandtech.com/show/4940/qualcomm-new-snapdragon-s4-msm8960-krait-architecture>)
36. [Lal Shimpi, Anand The iPhone 5's A6 SoC: Not A15 or A9, a Custom Apple Core Instead](http://www.anandtech.com/show/6292/iphone-5-a6-not-a15-custom-core) (<http://www.anandtech.com/show/6292/iphone-5-a6-not-a15-custom-core>). [AnandTech](http://www.anandtech.com) (15 сентября 2012). Дата обращения: 15 сентября 2012.
37. [AppliedMicro's 64-core chip could spark off ARM core war | PCWorld](http://www.pcworld.com/article/2464600/appliedmicro-64-core-chip-could-spark-off-arm-core-war.html) (<http://www.pcworld.com/article/2464600/appliedmicro-64-core-chip-could-spark-off-arm-core-war.html>)

## Литература

- *Digital Signal Processing and Applications Using the ARM Cortex M4*; 1st Edition; Donald Reay; Wiley; 250 pages; 2014; ISBN 978-1118859049.
- *Assembly Language Programming : ARM Cortex-M3*; 1st Edition; Vincent Mahout; Wiley-ISTE; 256 pages; 2012; ISBN 978-1848213296.
- *The Definitive Guide to the ARM Cortex-M3 and Cortex-M4 Processors*; 3rd Edition; Joseph Yiu; Newnes; 600 pages; 2013; ISBN 978-0124080829.
- *The Definitive Guide to the ARM Cortex-M0*; 1st Edition; Joseph Yiu; Newnes; 552 pages; 2011; ISBN 978-0-12-385477-3. [2] (<https://books.google.com/books?id=5OZblBzjsJ0C&printsec=frontcover&dq=isbn:9780123854773>)

Источник — [https://ru.wikipedia.org/w/index.php?title=Список\\_архитектур\\_ARM&oldid=129478264](https://ru.wikipedia.org/w/index.php?title=Список_архитектур_ARM&oldid=129478264)

Эта страница в последний раз была отредактирована 27 марта 2023 в 17:03.

Текст доступен по лицензии Creative Commons «С указанием авторства — С сохранением условий» (CC BY-SA); в отдельных случаях могут действовать дополнительные условия.

Wikipedia® — зарегистрированный товарный знак некоммерческой организации Фонд Викимедиа (Wikimedia Foundation, Inc.)