

ВИКИПЕДИЯ

SuperH

Материал из Википедии — свободной энциклопедии

SuperH (или **SH**) — название микропроцессорной и микроконтроллерной архитектуры, являющееся торговой маркой. В основе SuperH лежит 32-разрядная RISC-архитектура, используемая в большом количестве встраиваемых систем.

Процессорное ядро SuperH было разработано компанией Hitachi в начале 1990-х годов и к 1995-му стало 3-й архитектурой по количеству поставленных ядер^[1]. Многие микроконтроллеры и микропроцессоры основаны на этой архитектуре. Возможно, наиболее известным применением процессора SH7709 (<http://www.renesas.eu/products/mpumcu/superh/sh7700/index.jsp>) является КПК HP Jornada, работающий под управлением операционной системы Windows CE.

Hitachi разработала полную систему команд, общую для всех поколений процессорных ядер. Первоначально SH-1 и SH-2 использовались в игровой приставке Sega Saturn, а позже во многих других микроконтроллерах, применявшихся в различных встраиваемых системах. Например, в ПЛК DirectLogic от компании Kooyo микропроцессоры поколения SH-1 используются в качестве основного. Эти ядра использовали 16-разрядную систему команд, при этом регистры и адреса были 32-разрядными, что обеспечивало превосходную плотность кода^{[2][3]}. Это было важно, так как в то время оперативная память была очень дорогой.

Несколькими годами позже было разработано ядро SH-3 путём расширения изначальных ядер, в основном за счёт использования другой концепции обработки прерываний, контроллера памяти и модифицированной концепции работы кеш-памяти. Ядро SH-3, имеющее расширенную систему команд, включающую команды цифровой обработки сигналов, называлось SH-3-DSP. С расширенным адресом для эффективной цифровой обработки сигналов и специальными аккумуляторами это ядро объединяло в себе функции RISC и DSP-процессоров. Подобная эволюция также произошла и с изначальным ядром SH-2, которое в этом случае получило название SH-DSP.

Следующим поколением стали процессоры с ядром SH-4. Они применялись в конце 1990-х годов, например, в игровом автомате Sega NAOMI, игровой приставке Sega Dreamcast и субноутбуке Compaq Aero 8000. Центральный RISC-процессор Hitachi SH-4 работал на частоте до 200 МГц. Среди основных особенностей архитектуры SH-4 можно назвать наличие двух вычислительных блоков с модулем суперскалярного ветвления и ещё одного параллельного блока вычислений для векторных операций с плавающей точкой.

Архитектура SH-5^[4] подразумевала работу процессора в двух режимах. Первый из них — режим совместимости с SH-4 — носил название SHcompact, новый — SHmedia — режим использовал 32-битный набор команд, включавший SIMD-инструкции, и 64 64-битных



SH-4 SH7091

регистра^[5].

Очередной этап эволюции архитектуры прошёл в 2003 году — когда на основе ядер SH-2 и SH-4 было разработано суперскалярное ядро нового поколения — SH-X^[6].

На сегодняшний день^[когда?] поддержкой и развитием архитектуры, процессорного ядра и выпуском конечных продуктов на их основе занимается компания Renesas Electronics, образовавшаяся в результате слияния полупроводниковых подразделений компаний Hitachi и Mitsubishi.

Существует инициатива (при участии Renesas) по созданию открытых процессорных ядер с архитектурой SH, в частности ядра J2 для FPGA и ASIC (исходный код опубликован в 2015 году)^{[7][8][9][10]}. Последние патенты на SH2 истекли в 2014 году, а на SH4 — в 2016 году^[11]. Для платформы реализованы различные компиляторы и подготовлена версия ОС µClinux.^[12]

Примечания

1. *Michael Slater*. The microprocessor today (<http://cva.stanford.edu/classes/cs99s/papers/slater-micro96-the-microprocessor-today.pdf>) (англ.) 32-44. IEEE Micro 16.6 (декабрь 1996). — «Figure 1 Unit shipments of leading 32- and 64-bit architectures». Дата обращения: 26 декабря 2015. Архивировано (<https://web.archive.org/web/20160304230718/http://cva.stanford.edu/classes/cs99s/papers/slater-micro96-the-microprocessor-today.pdf>) 4 марта 2016 года.
2. A. Hasegawa, I. Kawasaki, K. Yamada, S. Yoshioka, S. Kawasaki, and P. Biswas, “SH3: High code density, low power,” IEEE Micro, vol. 15, no. 6, pp. 11–19, 1995.
3. Архивированная копия (http://web.eece.maine.edu/~vweaver/papers/iccd09/iccd09_density.pdf) . Дата обращения: 26 декабря 2015. Архивировано (https://web.archive.org/web/20151226203543/http://web.eece.maine.edu/~vweaver/papers/iccd09/iccd09_density.pdf) 26 декабря 2015 года.
4. Biswas, Prasenjit, et al. "Sh-5: the 64 bit superh architecture." Micro, IEEE 20.4 (2000): 28-39. (<https://dx.doi.org/10.1109/40.865864>) pdf (<https://www.ece.umd.edu/courses/enee759m.S2002/papers/biswas2000-micro20-4.pdf>) Архивировано (<https://web.archive.org/web/20160304225914/https://www.ece.umd.edu/courses/enee759m.S2002/papers/biswas2000-micro20-4.pdf>) 4 марта 2016 года.
5. Arakawa, Fumio. "SH-5: a first 64-bit SuperH core with multimedia extension." HOT Chips 13 Conference Record. 2001. (http://www.hotchips.org/wp-content/uploads/hc_archives/hc13/2_Mon/05hitachi.pdf) Дата обращения: 26 декабря 2015. Архивировано (https://web.archive.org/web/20160305024910/http://www.hotchips.org/wp-content/uploads/hc_archives/hc13/2_Mon/05hitachi.pdf) 5 марта 2016 года.
6. Arakawa, Fumio, et al. "SH-X: an embedded processor core for consumer appliances." (<http://dl.acm.org/citation.cfm?id=1101875>) ACM SIGARCH Computer Architecture News. Vol. 33. No. 3. ACM, 2004.
7. J Cores (<http://Opf.org/j-core.html>) (англ.). Open Processor Foundation. Дата обращения: 26 декабря 2015. Архивировано (<https://web.archive.org/web/20160112194539/http://Opf.org/j-core.html>) 12 января 2016 года.
8. *Nathan Willis*. Resurrecting the SuperH architecture (<https://lwn.net/Articles/647636/>), LWN, LinuxCon Japan (June 10, 2015). Архивировано (<https://web.archive.org/web/20151226212241/http://lwn.net/Articles/647636/>) 26 декабря 2015 года. Дата обращения: 26 декабря 2015.
9. Neues Leben für die SuperH-Architektur (<http://www.pro-linux.de/news/1/22421/neues-leben-fuer-die-superh-architektur.html>) (нем.), Pro-linux.de (12. Juni 2015). Архивировано (<https://web.archive.org/web/20151226142848/http://www.pro-linux.de/news/1/22421/neues-leben-fuer-die-superh-architektur.html>) 26 декабря 2015 года. Дата обращения: 26 декабря 2015.
10. The Project: An Open Platform (http://elinux.org/images/1/10/Jamboree_R6.pdf) Архивная копия (https://web.archive.org/web/20160305013026/http://elinux.org/images/1/10/Jamboree_R6.pdf) от 5 марта 2016 на Wayback Machine / Open Processor Foundation, 2015

11. Rob Landley, and Shumpei Kawasaki, [Turtles all the Way Down: Running Linux on Open Hardware](http://events.linuxfoundation.org/sites/events/files/slides/Turtles%20all%20the%20way.pdf) (<http://events.linuxfoundation.org/sites/events/files/slides/Turtles%20all%20the%20way.pdf>) [Архивная копия](https://web.archive.org/web/20160304065633/http://events.linuxfoundation.org/sites/events/files/slides/Turtles%20all%20the%20way.pdf) (<https://web.archive.org/web/20160304065633/http://events.linuxfoundation.org/sites/events/files/slides/Turtles%20all%20the%20way.pdf>) от 4 марта 2016 на [Wayback Machine](#) / [LinuxCon Japan](#)
12. [Resurrecting the SuperH architecture](https://lwn.net/Articles/647636/) (<https://lwn.net/Articles/647636/>) [Архивная копия](https://web.archive.org/web/20151226212241/https://lwn.net/Articles/647636/) (<https://web.archive.org/web/20151226212241/https://lwn.net/Articles/647636/>) от 26 декабря 2015 на [Wayback Machine](#) на [LWN.net](#) (англ.)

Ссылки

- [SuperH RISC engine Family](http://www.renesas.eu/products/mpumcu/superh/index.jsp) (<http://www.renesas.eu/products/mpumcu/superh/index.jsp>) - Семейство SuperH на сайте Renesas (англ.)

Источник — <https://ru.wikipedia.org/w/index.php?title=SuperH&oldid=133652896>

Эта страница в последний раз была отредактирована 17 октября 2023 в 14:17.

Текст доступен по лицензии Creative Commons «С указанием авторства — С сохранением условий» (CC BY-SA); в отдельных случаях могут действовать дополнительные условия.

Wikipedia® — зарегистрированный товарный знак некоммерческой организации Фонд Викимедиа (Wikimedia Foundation, Inc.)