

RISC-V

Материал из Википедии — свободной энциклопедии

RISC-V — расширяемая открытая и свободная система команд и процессорная архитектура на основе концепции RISC^[1], предназначенная для создания процессоров/микроконтроллеров и разработки ПО. Спецификации архитектурных описаний RISC-V свободно доступны и бесплатны для любого использования, включая коммерческие реализации непосредственно в кремнии или для конфигурирования ПЛИС. Участие в проектировании и обсуждении спецификаций архитектурных описаний открытое. Система команд имеет зарезервированные в спецификации биты для кодирования расширений без ограничения области применения.

Содержание

История создания и управление развитием

Базовая спецификация «RV32I»

Система команд

- Список наборов команд
- Форматы машинных команд
- Регистры
- Вызовы подпрограмм, переходы и ветвления
- Арифметические и логические наборы команд
- Атомарные операции с памятью
- Сокращённые команды
- Команды для встраиваемых применений
- Привилегированные наборы команд
- Битовые операции
- Компактный набор команд для SIMD
- Операции с векторами
- Команды для отладки

Реализации

- IP-ядра
- Процессоры и микроконтроллеры

См. также

Примечания

Литература

Ссылки

История создания и управление развитием

Идея RISC-V появилась в 2010 году как продолжение исследований по проектированию вычислительных систем в Калифорнийском университете Беркли в США, при непосредственном участии Дэвида Паттерсона^{[2][3]} — одного из авторов и сторонников применения концепции RISC. Нынешние участники процесса развития RISC-V являются добровольцами из многих научных организаций, университетов и компаний разных стран. В отличие от других академических проектов, сосредоточенных на образовательных целях, RISC-V изначально проектируется для широкого круга компьютерных применений.

В 2015 году, для устойчивого развития, стандартизации и продвижения RISC-V, создан международный фонд RISC-V^[4] и ассоциация со штаб-квартирой в Цюрихе^[5] в Швейцарии. С 2018 года фонд RISC-V работает в партнёрстве с The Linux Foundation^[6]. В руководство и технические комитеты входят две русские компании разработчики процессорных ядер — Syntacore^[7] и CloudBEAR, а также разработчики системного ПО (Альт Линукс, Астра Линукс)^[8].


В феврале 2022 года компания Intel объявила^[9] об инвестировании в развитие RISC-V одного миллиарда долларов и вошла в состав руководства RISC-V. В сентябре 2022 года в России образован Альянс RISC-V^{[10][11]}. По состоянию на декабрь 2022 года 13 из 25 мест в совете директоров RISC-V занимают китайские компании и организации, ведущую роль из которых занимает Китайская академия наук.

Базовая спецификация «RV32I»

Базовая спецификация RV32I (*RV* — *RISC-V*, *32*-разрядная, *I* означает *Integer* — *целочисленную арифметику*), содержит набор из 32 регистров и включает 39 инструкций. Используется 6 типов кодирования инструкций (форматов).

Базовые расширения:^[12]

- M — целочисленное умножение/деление

Разработчик	Ассоциация RISC-V, инициатор разработки Калифорнийский университет в Беркли
Разрядность	32-бит, 64-бит, 128-бит (запланировано)
Представлена	2010
Версии	Unprivileged верс.20191213, privileged верс. 20190608
Архитектура	RISC
Тип	Регистр-регистр
Кодирование СК	Фиксированный размер командного слова — 32 бита
Реализация переходов	Сравнение и переход
Порядок байтов	Little-endian
Размер страницы	4 KiB
Расширения	M, A, F, D, Q, C, E, V, P, B
Открытая?	Да
	Регистры
Общего назначения	32, включая x0 всегда равный нулю, (16 — только в расширении E и, условно, в C)
Вещественные	32 (расширения F, D, G)
SIMD	32 векторных регистра длиной от 32 до 2048 бит каждый (расширение V), для ЦПУ рекомендуется 128-бит (Zv128b)
Предикатные	нет
Всего	Регистры статусов, управления, счётчиков и таймеров
	 Медиафайлы на Викискладе

- A — атомарные операции с памятью
- F и D — вычисления с плавающей точкой с дополнительным набором регистров (одинарной Float и двойной Double точности)
- C — сжатый формат команд (подмножество RV32I), для удвоения плотности упаковки в машинном слове наиболее востребованных стандартных инструкций

Базовый набор RV32E для встраиваемых систем совпадает по кодированию и набору инструкции с RV32I, но содержит только 16 регистров. Применяется, например, в недорогих микроконтроллерах.

Система команд

В архитектуре RISC-V имеется обязательное для реализации небольшое подмножество команд (набор инструкций I — Integer) и несколько стандартных опциональных расширений.

В базовый набор входят инструкции условной и безусловной передачи управления/ветвления, минимальный набор арифметических/битовых операций на регистрах, операций с памятью (load/store), а также небольшое число служебных инструкций.

Операции ветвления не используют каких-либо общих флагов как результатов ранее выполненных операций сравнения, а непосредственно сравнивают свои регистровые операнды. Базис операций сравнения минимален, а для поддержки комплементарных операций операнды просто меняются местами.

Базовое подмножество команд использует следующий набор регистров: специальный регистр x0 (zero), 31 целочисленный регистр общего назначения (x1 — x31), регистр счётчика команд (PC, используется только косвенно), а также множество CSR (Control and Status Registers, может быть адресовано до 4096 CSR).

Для встраиваемых применений может использоваться вариант архитектуры RV32E (Embedded) с сокращённым набором регистров общего назначения (первые 16). Уменьшение количества регистров позволяет не только экономить аппаратные ресурсы, но и сократить затраты памяти и времени на сохранение/восстановление регистров при переключениях контекста.

При одинаковой кодировке инструкций в RISC-V предусмотрены реализации архитектур с 32-, 64- и 128-битными регистрами общего назначения и операциями (RV32I, RV64I и RV128I, соответственно).

Разрядность регистровых операций всегда соответствует размеру регистра, а одни и те же значения в регистрах могут трактоваться как целые числа как со знаком, так и без знака.

Нет операций над частями регистров, нет каких-либо выделенных «регистровых пар».

Операции не сохраняют где-либо биты переноса или переполнения, что приближено к модели операций в языке программирования Си. Также аппаратно не генерируются исключения по переполнению и даже по делению на 0. Все необходимые проверки операндов и результатов операций должны производиться программно.

Целочисленная арифметика расширенной точности (большей, чем разрядность регистра) должна явно использовать операции вычисления старших битов результата. Например, для получения старших битов произведения регистра на регистр имеются специальные инструкции.

Размер операнда может отличаться от размера регистра только в операциях с памятью. Транзакции к памяти осуществляются блоками, размер в байтах которых должен быть целой неотрицательной степенью 2, от одного байта до размера регистра включительно. Операнд в памяти должен иметь «естественное выравнивание» (адрес кратен размеру операнда).

Архитектура использует только модель *little-endian* — первый байт операнда в памяти соответствует младшим битам значений регистрового операнда.

Для пары инструкций сохранения/загрузки регистра операнд в памяти определяется размером регистра выбранной архитектуры, а не кодировкой инструкции (код инструкции один и тот же для RV32I, RV64I и RV128I, но размер операндов 4, 8 и 16 байт соответственно), что соответствует размеру указателя, типам языка программирования C `size_t` или разности указателей.

Для всех допустимых размеров операндов в памяти, меньших, чем размер регистра, имеются отдельные инструкции загрузки/сохранения младших битов регистра, в том числе для загрузки из памяти в регистр есть парные варианты инструкций, которые позволяют трактовать загружаемое значение как со знаком (старшим знаковым битом значения из памяти заполняются старшие биты регистра) или без знака (старшие биты регистра устанавливаются в 0).

Инструкции базового набора имеют длину 32 бита с выравниванием на границу 32-битного слова, но в общем формате предусмотрены инструкции различной длины (стандартно — от 16 до 192 бит с шагом в 16 бит) с выравниванием на границу 16-битного слова. Полная длина инструкции декодируется унифицированным способом из её первого 16-битного слова.

Для наиболее часто используемых инструкций стандартизовано применение их аналогов в более компактной 16-битной кодировке (C — Compressed extension).

Операции умножения, деления и вычисления остатка не входят в минимальный набор инструкций, а выделены в отдельное расширение (M — Multiply extension). Имеется ряд доводов в пользу разделения и данного набора на два отдельных (умножение и деление).

Стандартизован отдельный набор атомарных операций (A — Atomic extension).

Поскольку кодировка базового набора инструкций не зависит от разрядности архитектуры, то один и тот же код потенциально может запускаться на различных RISC-V архитектурах, определять разрядность и другие параметры текущей архитектуры, наличие расширений системы инструкций, а потом автоконфигурироваться для целевой среды выполнения.

Спецификацией RISC-V предусмотрено несколько областей в пространстве кодировок инструкций для пользовательских «X-расширений» архитектуры, которые поддерживаются на уровне ассемблера, как группы инструкций *custom0* и *custom1*.

Список наборов команд

Сокращение	Наименование	Версия	Статус
Базовые наборы			
RVWMO	Базовая модель согласованности памяти	2.0	Ratified
RV32I	Базовый набор с целочисленными операциями, 32-битный	2.1	Ratified
RV64I	Базовый набор с целочисленными операциями, 64-битный	2.1	Ratified
RV32E	Базовый набор с целочисленными операциями для встраиваемых систем, 32-битный, 16 регистров	1.9	Draft
RV128I	Базовый набор с целочисленными операциями, 128-битный	1.7	Draft
Часть 1 Стандартные непривилегированные наборы команд			
M	Целочисленное умножение и деление (Integer Multiplication and Division)	2.0	Ratified
A	Атомарные операции (Atomic Instructions)	2.1	Ratified
F	Арифметические операции с плавающей запятой над числами одинарной точности (Single-Precision Floating-Point)	2.2	Ratified
D	Арифметические операции с плавающей запятой над числами двойной точности (Double-Precision Floating-Point)	2.2	Ratified
Q	Арифметические операции с плавающей запятой над числами четверной точности	2.2	Ratified
C	Сокращённые имена для команд (Compressed Instructions)	2.2	Ratified
Counters	Инструкции для счетчиков производительности и таймеров — наборы Zicntr и Zihpm	2.0	Draft
L	Арифметические операции над десятичными числами с плавающей запятой (Decimal Floating-Point)	0.0	Open
B	Битовые операции (Bit Manipulation)	0.36	Open
J	Двоичная трансляция и поддержка динамической компиляции (Dynamically Translated Languages)	0.0	Open
T	Транзакционная память (Transactional Memory)	0.0	Open
P	Короткие SIMD-операции (Packed-SIMD Instructions)	0.1	Open
V	Векторные расширения (Vector Operations)	1.0	Frozen
Zicsr	Инструкции для работы с контрольными и статусными регистрами (Control and Status Register (CSR) Instructions)	2.0	Ratified
Zifencei	Инструкции синхронизации потоков команд и данных (Instruction-Fetch Fence)	2.0	Ratified
Zhintpause	Pause Hint	2.0	Ratified
Zhintntl	Non-Temporal Locality Hints	0.2	Draft
Zam	Расширение для смещённых атомарных операций (Extension for Misaligned Atomics)	0.1	Draft
Zfh	Extensions for Half-Precision Floating-Point	1.0	Ratified
Zfhmin	Extensions for Half-Precision Floating-Point	1.0	Ratified
Zfinx	Standard Extensions for Floating-Point in Integer Registers	1.0	Ratified
Zdinx	Standard Extensions for Floating-Point in Integer Registers	1.0	Ratified
Zhinx	Standard Extensions for Floating-Point in Integer Registers	1.0	Ratified
Zhinxmin	Standard Extensions for Floating-Point in Integer Registers	1.0	Ratified
Ztso	Расширение для модели согласованности памяти RVTSO (Extension for Total Store Ordering)	0.1	Frozen
G	= IMAFD Zicsr Zifencei Обобщенное/сокращённое обозначение для набора расширений	н/д	н/д
Часть 2 Стандартные наборы команд для привилегированных режимов			
Machine ISA	Инструкции аппаратного уровня	1.12	Ratified
Supervisor ISA	Инструкции уровня супервизора	1.12	Ratified
Svnapot Extension	(Extension for NAPOT Translation Contiguity)	1.0	Ratified
Svpbmt Extension	(Extension for Page-Based Memory Types)	1.0	Ratified
Svinval Extension	(Extension for Fine-Grained Address-Translation Cache Invalidation)	1.0	Ratified
Hypervisor ISA	Инструкции уровня гипервизора	1.0	Ratified

В 32-битных микроконтроллерах и для других встраиваемых применений используется набор RV32EC. В 64-битных процессорах может быть набор групп RV64GC, то же самое в полной записи — RV64IMAFDC.

Форматы машинных команд

Формат 32-битной машинной команды (признаки — младшие биты всегда «11» и 2-4 биты # «111»)

Тип	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7
Регистр/ регистр	funct7							rs2					rs1				funct3			rd					
С операндом	±	imm[10:0]										rs1				funct3			rd						
С длинным операндом	±	imm[30:12]																		rd					
Сохранение	±	imm[10:5]					rs2					rs1				funct3			imm[4:0]						
Ветвление	±	imm[10:5]					rs2					rs1				funct3			imm[4:1]		[11]				
Переход	±	imm[10:1]										[11]	imm[19:12]						rd						

- rs1 — номер регистра в котором находится первый операнд
- rs2 — номер регистра в котором находится второй операнд
- rd — номер регистра в который будет записан результат

Регистры

RISC-V имеет 32 (или 16 для встраиваемых применений) целочисленных регистра. При реализации вещественных групп команд есть дополнительно 32 вещественных регистра.

Рассматривается вариант включения в стандарт дополнительного набора из 32 векторных регистров с вариативной длиной обрабатываемых значений, длина которых указывается в CSR `vlenb`^[13].

Для операций над числами в бинарных форматах плавающей запятой используется набор дополнительных 32 регистров FPU (Floating Point Unit), которые совместно используются расширениями базового набора инструкций для трёх вариантов точности: одинарной — 32 бита (F extension), двойной — 64 бита (D — Double precision extension), а также четверной — 128 бит (Q — Quadruple precision extension).

Имена регистров в системе команд и соглашения о псевдонимах в EABI и psABI

Имя регистра в RISC-V	Имя в EABI	Имя в psABI	Описание в psABI	Кто сохраняет в psABI
32 целочисленных регистра				
x0	zero	zero	Всегда ноль	
x1	ra	ra	Адрес возврата (return address)	Вызывающий
x2	sp	sp	Указатель стека (stack pointer)	Вызываемый
x3	gp	gp	Глобальный указатель (global pointer)	
x4	tp	tp	Потоковый указатель (thread pointer)	
x5	t0	t0	Temporary / альтернативный адрес возврата	Вызывающий
x6	s3	t1	Temporary	Вызывающий
x7	s4	t2	Temporary	Вызывающий
x8	s0/fp	s0/fp	Saved register / frame pointer	Вызываемый
x9	s1	s1	Saved register	Вызываемый
x10	a0	a0	Аргумент (argument) / возвращаемое значение	Вызывающий
x11	a1	a1	Аргумент (argument) / возвращаемое значение	Вызывающий
x12	a2	a2	Аргумент (argument)	Вызывающий
x13	a3	a3	Аргумент (argument)	Вызывающий
x14	s2	a4	Аргумент (argument)	Вызывающий
x15	t1	a5	Аргумент (argument)	Вызывающий
x16	s5	a6	Аргумент (argument)	Вызывающий
x17	s6	a7	Аргумент (argument)	Вызывающий
x18-27	s7-16	s2-11	Saved register	Вызываемый
x28-31	s17-31	t3-6	Temporary	Вызывающий
32 дополнительных регистра с плавающей точкой				
f0-7		ft0-7	Floating-point temporaries	Вызывающий
f8-9		fs0-1	Floating-point saved registers	Вызываемый
f10-11		fa0-1	Floating-point arguments/return values	Вызывающий
f12-17		fa2-7	Floating-point arguments	Вызывающий
f18-27		fs2-11	Floating-point saved registers	Вызываемый
f28-31		ft8-11	Floating-point temporaries	Вызывающий

Базовые регистры расширения I (в расширении E только x0 – x15)				Вещественные регистры расширения F, D, Q, L				Векторные регистры расширение V			
x0 Zero	x1 ra	x2 sp	x3 gp	f0 ft0	f1 ft1	f2 ft2	f3 ft3	v0	v1	v2	v3
x4 tp	x5 t0	x6 s3/t1	x7 s4/t2	f4 ft4	f5 ft5	f6 ft6	f7 ft7	v4	v5	v6	v7
x8 s0/fp	x9 s1	x10 a0	x11 a1	f8 fs0	f9 fs1	f10 fa1-0	f11 fa1-1	v8	v9	v10	v11
x12 a2	x13 a3	x14 s2/a4	x15 t1/a5	f12 fa2	f13 fa3	f14 fa4	f15 fa5	v12	v13	v14	v15
x16 s5/a6	x17 s6/a7	x18 s7/s2	x19 s8/s3	f16 fa6	f17 fa7	f18 fs2	f19 fs3	v16	v17	v18	v19
x20 s9/s4	x21 s10/s5	x22 s11/s6	x23 s12/s7	f20 fs4	f21 fs5	f22 fs6	f23 fs7	v20	v21	v22	v23
x24 s13/s8	x25 s14/s9	x26 s15/	x27 s16/	f24 fs8	f25 fs9	f26 fs10	f27 fs11	v24	v25	v26	v27
x28 s17/t3	x29 s18/t4	x30 s19/t5	x31 s20/t6	f28 ft3	f29 tf4	f30 tf5	f31 ft6	v28	v29	v30	v31

Легенда цветов ячеек		Легенда содержания ячеек	
x0	глобальный	ISA	числитель
x1	сохр. вызывающий	EABI / psABI	знаменатель
x2	сохр. вызываемый		

vL	vtype
----	-------

Вызовы подпрограмм, переходы и ветвления

Арифметические и логические наборы команд

Атомарные операции с памятью

Сокращённые команды

Команды для встраиваемых применений

Привилегированные наборы команд

Битовые операции

Компактный набор команд для SIMD

Операции с векторами

Команды для отладки

Реализации

В рамках проекта создано и опубликовано под свободной лицензией шесть дизайнов микропроцессоров с архитектурой RISC-V: генератор 64-разрядных Rocket (7 октября 2014^{[14][15]}) и пять упрощённых учебных ядер «Sodor» с различными микроархитектурами.

Также опубликовано несколько симуляторов (включая qemu и ANGEL — JavaScript-симулятор, работающий в браузере), компиляторов (LLVM, GCC), вариант ядра Linux для работы на RISC-V и компилятор дизайнов Chisel, который позволяет получать Verilog-код. Также опубликованы верификационные тесты^[16].

Некоммерческая организация lowRISC планирует создание системы на кристалле на базе 64-битного ядра Rocket RISC-V с последующим массовым производством чипов^{[17][18]}.

На конференции RISC-V Workshop 2017 стало известно, что компания Esperanto Technologies разрабатывает 64-битный высокопроизводительный процессор общего назначения на системе команд RISC-V с гетерогенной архитектурой с высокой степенью параллелизма (напоминающий по строению процессор Cell), который в максимальной конфигурации будет содержать 16 ядер «ET-

Maxion» (представляют собой конвейеры с неупорядоченным выполнением команд и работающие с данными с плавающей запятой) и 4096 ядер «ET-Minion» (конвейеры с последовательным выполнением команд и блоком с векторными вычислениями в каждом ядре)^[19].

Компания Western Digital заявила, что в партнёрстве с компанией Esperanto, она повысит текущий статус процессорной архитектуры RISC-V с уровня микроконтроллеров до уровня высокопроизводительных решений и создаст вычислительную архитектуру нового поколения для обработки «больших данных»^[20], а также экосистему быстрого доступа к данным — речь идёт о создании специализированных RISC-V-ядер для построения архитектуры «процессор в памяти» (processor-in-memory)^[21].

Самым доступным микроконтроллером с процессором на архитектуре RISC-V является ESP32 с процессорами серий ESP32-C, ESP32-H, ESP32-P.

IP-ядра

Ряд компаний предлагают готовые блоки IP-ядер на базе архитектуры RISC-V, среди них:

- ECHX1 — компания Western Digital (США),
- Rocket — Калифорнийский университет в Беркли и компания SiFive (США),
- ORCA — компания Vectorblox (Канада),
- PULPino — Высшая техническая школа Цюриха (Швейцария) и Болонский университет (Италия),
- Hummingbird E200 — компания Nuclei System Technology (Китай),
- AndeStar V5 — компания Andes Technology (Тайвань)^[22],
- Shakti — Индийский технологический институт в Мадрасе (Индия),
- BM-310, BI-350, BI-651, BI-671 — компания Клаудбеар (Россия),
- Семейство SCR компании Синтакор (Россия)^[23].

Процессоры и микроконтроллеры

Серийные процессоры и микроконтроллеры на базе архитектуры RISC-V в формате системы на кристалле.

Микропроцессоры:

- 2018 — SiFive: Freedom U540 (64 бита, 4+1 ядер, 1,5 ГГц, 28 нм)^{[24][25][26][27]}
- 2019 — Alibaba: XuanTie 910 (64 бита, 16 ядер, нейроускоритель, 2,5 ГГц, 12 нм)^{[28][29][30][31]}
- 2020 — SiFive: Freedom U740 (64 бита, 4+1 ядер, PCIe 3, DDR4 ECC, Ethernet 1G, QSPI, 1,5 ГГц)^[1] (<https://www.crowdsupply.com/sifive/hifive-unmatched>) Архивная копия (<https://web.archive.org/web/20201126011409/https://www.crowdsupply.com/sifive/hifive-unmatched>) от 26 ноября 2020 на Wayback Machine^[2] (<http://linuxgizmos.com/sifive-to-demo-pc-running-new-risc-v-soc-and-unveil-next-gen-ai-soc/>) Архивная копия (<https://web.archive.org/web/20201029164206/http://linuxgizmos.com/sifive-to-demo-pc-running-new-risc-v-soc-and-unveil-next-gen-ai-soc/>) от 29 октября 2020 на Wayback Machine
- 2021 - ESP32-C и ESP32-H для микроконтроллеров ESP32.

Микроконтроллеры, выпущенные в 2017—2019 годах:

- Western Digital: SweRV Core (32 бита, 2 ядра, 1,8 ГГц, 28 нм)^{[32][33]}
- SiFive: FE310 (32 бита, 1 ядро, 870 МГц — 28 нм, 370 МГц — 55 нм)^{[24][25]}
- Kendryte: K210 (64 бита, 2 ядра + нейроускоритель, 600 МГц, 28 нм, 500 мВт)^{[34][35][36]}
- GreenWaves: GAP8 (32 бита, 8+1 ядер + нейроускоритель, 250 МГц, 55 нм, 100 мВт)^[37]
- NXP: RV32M1 (32 бита, 2 гибридных ядра ARM-M4F/RISC-V + ARM-M0+/RISC-V, 48-72 МГц)^[38]
- WCH: CH572 (60 МГц, корпус QFN28)^[39] контроллер BLE + Zigbee + USB + Ethernet + Touchkey
- HUAMI: MHS001 Huangshan № 1 (4 ядра, нейроускоритель, 55 нм, 240 МГц)^[40] энергоэффективный процессор для носимых устройств и IoT
- GigaDevice: GD32VF103 (1 ядро, 32 бита, 108 МГц, ОЗУ до 32 Кб, ПЗУ до 128 Кб)^{[41][42]} микроконтроллер (не путать с семейством GD32F103).
- FADU: Annapurna FC3081/FC3082 (64 бита, многоядерный, 7 нм, 1,7 Вт)^{[43][44][45]} контроллер для NVMe SSD
- BitMain: Sophon Edge TPU BM1880 (64 бита, 1 ядро RV64GC 1 ГГц + 2 ядра ARM A53 1,5 ГГц, 2,5 Вт) нейроускоритель 1 TOPS на INT8 для IoT и краевых вычислений^{[46][47]}
- Текон: Дружба (32 бита, 1 ядро, 250 МГц, 28 нм, 0,5 Вт)^{[48][49]}

Микроконтроллеры, выпущенные в 2020 году:

- ONiO: ONiO.zero (16/32 бита, 1 Кб ПЗУ, 2 Кб ОЗУ, 8/16/32 Кб ППЗУ, 1-24 МГц, 0,36-1,44 Вт, встроенный радиоэлектронный генератор на 800/900/1800/1900/2400 МГц) BLE, 802.15.4 UWB^{[50][51]}
- WCH: CH32V103 (32 бита, 10/20Кб ОЗУ, 32/64 Кб ППЗУ, до 80 МГц, корпуса LQFP48, QFN48 или LQFP64)^[52] универсальный контроллер с USB 2.0, SPI, I2C, GPIO, USART, TouchKey, RTC, TIM, ADC
- Миландр: K1986BK025 (32-битное ядро BM-310S CloudBEAR, ОЗУ 112 Кбайт, ППЗУ 256+8 Кбайт, ПЗУ 16 Кбайт, 60 МГц, 90 нм фабрика TSMC, 7 каналов 24-битных метрологических АЦП, сопроцессоров для шифров «Кузнечик», «Магма» и AES, корпус QFN88 10 x 10 мм)
- Espressif: ESP32-C3 (32-битное ядро RV32IMC, 400 Кбайт SRAM, 384 Кбайт ПЗУ, 160 МГц, Wi-Fi, Bluetooth LE 5.0, по контактам совместим с ESP8266)^[53]
- Buffalo Lab: BL602 и BL604 (32-битный, динамическая частота от 1 МГц до 192 МГц, 276 Кб SRAM, 128 Кб ПЗУ, Wi-Fi, Bluetooth LE)^[54]
- Cmsmicron: ANT32RV56xx (ядро RV32EC, 48 МГц, 32+8 Кбайт SRAM, 64 Кбайт)^[55]

Микроконтроллеры, выпущенные в 2021 году:

- Микрон (Россия): MIK32 (32-битное RV32IMC ядро SCR1 Syntacore, 1-32 МГц, фабрика Микрон, ОЗУ 16 Кб, ППЗУ 8 Кб, 64 входа/выхода, АЦП 12 бит 8 каналов до 1 МГц; ЦАП 12 бит 4 канала до 1 МГц, криптография ГОСТ Р 34.12-2015 «Магма», «Кузнечик» и AES 128)^{[56][57]}

- Микроконтроллеры **ESP32** с процессорами серий **ESP32-C** и **ESP32-H**

См. также

- **ARM** — семейство лицензируемых 32-битных и 64-битных микропроцессорных ядер разработки компании **ARM Limited**
- **OpenPOWER** — коллаборация вокруг архитектуры **IBM Power**, основанная в 2013 году IBM, Google, Mellanox, NVIDIA
- **OpenSPARC** — свободная (GPL) реализация архитектуры SPARC V9 от 2005 года
- **OpenRISC** — свободная архитектура 2000 года с GPL-реализацией **or1k**
- **LEON** — свободные реализации (GPL, LGPL) архитектуры SPARC V8, появившиеся в 1997 году
- **MIPS** (**MIPS Open**) — наборы команд и архитектура, имеющие свободную лицензию на некоторые наборы команд с конца 2018 до конца 2019 года^[58]

Примечания

- ↑ Frequently-asked questions. (https://web.archive.org/web/20160219195430/http://riscv.org/faq/) *RISC-V*. Regents of the University of California. Дата обращения: 25 августа 2014. Архивировано из оригинала (https://riscv.org/faq/) 19 февраля 2016 года.
- ↑ Создатель RISC продвигает open source микросхемы (http://xaker.ru/news/risc-v/) , Хакер.ru (21 августа 2014). Архивировано (https://web.archive.org/web/20140824110732/http://xaker.ru/news/risc-v/) 24 августа 2014 года. Дата обращения: 26 августа 2014.
- ↑ Contributors (https://web.archive.org/web/20140820002656/http://riscv.org/contributors.html) . *riscv.org*. Regents of the University of California. Дата обращения: 25 августа 2014. Архивировано из оригинала (http://riscv.org/contributors.html) 20 августа 2014 года.
- ↑ History — RISC-V International (https://riscv.org/risc-v-history/) . Дата обращения: 18 апреля 2020. Архивировано (https://web.archive.org/web/20200415014905/https://riscv.org/risc-v-history/) 15 апреля 2020 года.
- ↑ Архивированная копия (https://content.riscv.org/wp-content/uploads/2020/03/Extract-from-daily-register-RISC-V-International-Association.pdf) . Дата обращения: 18 апреля 2020. Архивировано (https://web.archive.org/web/20200504010247/https://content.riscv.org/wp-content/uploads/2020/03/Extract-from-daily-register-RISC-V-International-Association.pdf) 4 мая 2020 года.
- ↑ The Linux Foundation and RISC-V Foundation Announce Joint Collaboration to Enable a New Era of Open Architecture - Linux Foundation (https://www.linuxfoundation.org/press/press-release/the-linux-foundation-and-risc-v-foundation-announce-joint-collaboration-to-enable-a-new-era-of-open-architecture) (англ.) . *www.linuxfoundation.org*. Дата обращения: 9 апреля 2023. Архивировано (https://web.archive.org/web/20230409112849/https://www.linuxfoundation.org/press/press-release/the-linux-foundation-and-risc-v-foundation-announce-joint-collaboration-to-enable-a-new-era-of-open-architecture) 9 апреля 2023 года.
- ↑ *Kim McMahon*. RISC-V Founding Member, Syntacore, Upgrades to Premier Level Membership (https://riscv.org/announcements/2021/12/risc-v-founding-member-syntacore-upgrades-to-premier-level-member-ship/) (амер. англ.) . *RISC-V International* (7 декабря 2021). Дата обращения: 10 февраля 2022. Архивировано (https://web.archive.org/web/20220210100239/https://riscv.org/announcements/2021/12/risc-v-founding-member-syntacore-upgrades-to-premier-level-member-ship/) 10 февраля 2022 года.
- ↑ Members — RISC-V International (https://riscv.org/members/) (амер. англ.) . Дата обращения: 21 сентября 2023.
- ↑ *Karl Freund*. Intel Creates \$1B Innovation Fund To Grow RISC-V Market (And Attract New Foundry Customers) (https://www.forbes.com/sites/karlfreund/2022/02/07/intel-creates-1b-innovation-fund-to-grow-risc-v-market-and-attract-new-foundry-customers/) (англ.) . *Forbes*. Дата обращения: 10 февраля 2022. Архивировано (https://web.archive.org/web/20220209171348/https://www.forbes.com/sites/karlfreund/2022/02/07/intel-creates-1b-innovation-fund-to-grow-risc-v-market-and-attract-new-foundry-customers/) 9 февраля 2022 года.
- ↑ Альянс разработчиков на микроархитектуре RISC-V возглавила экс-топ-менеджер "Мегафона" (https://www.interfax.ru/russia/863668) . *Interfax.ru*. Дата обращения: 15 октября 2022. Архивировано (https://web.archive.org/web/20221015160051/https://www.interfax.ru/russia/863668) 15 октября 2022 года.
- ↑ riscv-alliance.ru (https://riscv-alliance.ru/) . Дата обращения: 27 января 2023. Архивировано (https://web.archive.org/web/20230127014304/https://riscv-alliance.ru/) 27 января 2023 года.
- ↑ Почему RISC-V? (https://habr.com/ru/company/samsung/blog/668810/) Архивная копия (https://web.archive.org/web/20230126145829/https://habr.com/ru/company/samsung/blog/668810/) от 26 января 2023 на Wayback Machine — лекция Станислава Полонского
- ↑ GitHub — riscv/riscv-v-spec: Working draft of the proposed RISC-V V vector extension (https://github.com/riscv/riscv-v-spec) . Дата обращения: 18 апреля 2020. Архивировано (https://web.archive.org/web/20191031233304/https://github.com/riscv/riscv-v-spec) 31 октября 2019 года.
- ↑ Launching the Open-Source Rocket Chip Generator! | RISC-V BLOG. (https://blog.riscv.org/2014/10/launching-the-open-source-rocket-chip-generator-2/) Архивировано (https://web.archive.org/web/20141015184938/https://blog.riscv.org/2014/10/launching-the-open-source-rocket-chip-generator-2/) 15 октября 2014 года.
- ↑ ucb-bar/rocket-chip · GitHub. (https://github.com/ucb-bar/rocket-chip) Дата обращения: 11 октября 2014. Архивировано (https://web.archive.org/web/20150403085654/https://github.com/ucb-bar/rocket-chip) 3 апреля 2015 года.
- ↑ Downloads (https://web.archive.org/web/20160123182236/http://riscv.org/download.html) . *RISC-V*. Regents of the University of California. Дата обращения: 25 августа 2014. Архивировано из оригинала (http://riscv.org/download.html) 23 января 2016 года.
- ↑ lowRISC: Open to the Core (http://www.lowrisc.org/) . lowRISC. Дата обращения: 25 августа 2014. Архивировано (https://web.archive.org/web/20140819085610/http://www.lowrisc.org/) 19 августа 2014 года.
- ↑ Project aims to build a «fully open» SoC and dev board (http://linuxgizmos.com/project-aims-to-build-fully-open-soc-and-dev-board/) Архивная копия (https://web.archive.org/web/20140819084702/http://linuxgizmos.com/project-aims-to-build-fully-open-soc-and-dev-board/) от 19 августа 2014 на Wayback Machine, Eric Brown // LinuxGizmos, 14 августа 2014
- ↑ Ветеран Transmeta возвращается на рынок процессоров с архитектурой RISC-V (https://3dnews.ru/962190) . 3DNews (29 ноября 2017). Дата обращения: 30 ноября 2017. Архивировано (https://web.archive.org/web/20171201044016/https://3dnews.ru/962190) 1 декабря 2017 года.
- ↑ Western Digital включается в гонку за процессорными архитектурами (https://3dnews.ru/962181) . 3DNews (29 ноября 2017). Дата обращения: 30 ноября 2017. Архивировано (https://web.archive.org/web/20171129125415/https://3dnews.ru/962181) 29 ноября 2017 года.
- ↑ Western Digital инвестировала в разработчика «процессора в памяти» (https://3dnews.ru/958710) . 3DNews (20 сентября 2017). Дата обращения: 30 ноября 2017. Архивировано (https://web.archive.org/web/20171201031912/https://3dnews.ru/958710) 1 декабря 2017 года.
- ↑ Andes Technology forms a Multinational Alliance with ASIC Design Service Companies to Provide RISC-V Total Solutions | XtremeEDA (https://www.xtreme-eda.com/news/risc-v-total-solutions-with-andes-technology/) . Дата обращения: 23 августа 2018. Архивировано (https://web.archive.org/web/20180823210653/https://www.xtreme-eda.com/news/risc-v-total-solutions-with-andes-technology/) 23 августа 2018 года.
- ↑ Отечественные микропроцессоры. Были! Есть. Будут? (https://3dnews.ru/973284/page-2.html) , 3dnews (9 августа 2018). Архивировано (https://web.archive.org/web/20181117151322/https://3dnews.ru/973284/page-2.html) 17 ноября 2018 года. Дата обращения: 17 ноября 2018.
- ↑ Архивированная копия (https://www.sifive.com/products/freedom/) . Дата обращения: 1 сентября 2018. Архивировано (https://web.archive.org/web/20180901215825/https://www.sifive.com/products/freedom/) 1 сентября 2018 года.
- ↑ SiFive: Первый в мире разработчик процессоров RISC-V на заказ (https://3dnews.ru/936265) . Дата обращения: 1 сентября 2018. Архивировано (https://web.archive.org/web/20180901215955/https://3dnews.ru/936265) 1 сентября 2018 года.
- ↑ SiFive Introduces HiFive Unleashed RISC-V Linux Development Board (Crowdfunding) (https://www.cnx-software.com/2018/02/04/sifive-introduces-hifive-unleashed-risc-v-linux-development-board-crowdfunding/) . Дата обращения: 1 сентября 2018. Архивировано (https://web.archive.org/web/20180828025659/https://www.cnx-software.com/2018/02/04/sifive-introduces-hifive-unleashed-risc-v-linux-development-board-crowdfunding/) 28 августа 2018 года.
- ↑ HiFive1 | Crowd Supply (https://www.crowdsupply.com/sifive/hifive1) . Дата обращения: 1 сентября 2018. Архивировано (https://web.archive.org/web/20180901215839/https://www.crowdsupply.com/sifive/hifive1) 1 сентября 2018 года.

28. Alibaba представила свой первый процессор | Компьютерра (<http://www.computerra.ru/239723/alibaba-predstavila-svoj-pervyj-protseor/>). Дата обращения: 27 июля 2019. Архивировано (<https://web.archive.org/web/20190727113744/https://www.computerra.ru/239723/alibaba-predstavila-svoj-pervyj-protseor/>) 27 июля 2019 года.
29. 阿里平头哥发布“最强”RISC-V处理器玄铁910-电子工程专辑 (<https://www.eet-china.com/news/201907261129.html>). Дата обращения: 27 июля 2019. Архивировано (<https://web.archive.org/web/20190727113742/https://www.eet-china.com/news/201907261129.html>) 27 июля 2019 года.
30. Архивированная копия (<https://medium.com/syncedreview/alibaba-is-open-sourcing-its-powerful-new-risc-v-processor-for-5g-and-ai-dcb6f4eebb4>). Дата обращения: 27 июля 2019. Архивировано (<https://web.archive.org/web/20190727113741/https://medium.com/syncedreview/alibaba-is-open-sourcing-its-powerful-new-risc-v-processor-for-5g-and-ai-dcb6f4eebb4>) 27 июля 2019 года.
31. Архивированная копия (https://www.theregister.co.uk/2019/07/27/alibaba_risc_v_chip/). Дата обращения: 27 июля 2019. Архивировано (http://web.archive.org/web/20200429004606/https://www.theregister.co.uk/2019/07/27/alibaba_risc_v_chip/) 29 апреля 2020 года.
32. Western Digital представила процессор SweRV Core для ускорителей по обработке данных / ServerNews (<https://servernews.ru/979190>) Архивная копия (<https://web.archive.org/web/20181205210808/https://servernews.ru/979190>) от 5 декабря 2018 на Wayback Machine 05.12.2018
33. <https://blog.westerndigital.com/risc-v-swerv-core-open-source/> Архивная копия (<https://web.archive.org/web/20190823072404/http://blog.westerndigital.com/risc-v-swerv-core-open-source/>) от 23 августа 2019 на Wayback Machine — https://github.com/westerndigitalcorporation/swerv_eh1 Архивная копия (https://web.archive.org/web/20190516025118/https://github.com/westerndigitalcorporation/swerv_eh1) от 16 мая 2019 на Wayback Machine
34. New Part Day: The RISC-V Chip With Built-In Neural Networks | Hackaday (<https://hackaday.com/2018/10/08/new-part-day-the-risc-v-chip-with-built-in-neural-networks/>). Дата обращения: 16 октября 2018. Архивировано (<https://web.archive.org/web/20181017002110/https://hackaday.com/2018/10/08/new-part-day-the-risc-v-chip-with-built-in-neural-networks/>) 17 октября 2018 года.
35. 矿机巨头的转型之始？嘉楠耘智发布首款AI芯片Kendryte 区块链_金色财经 (<https://www.jinse.com/blockchain/238889.html>). Дата обращения: 16 октября 2018. Архивировано (<https://web.archive.org/web/20181017001827/https://www.jinse.com/blockchain/238889.html>) 17 октября 2018 года.
36. kendryte-doc-datasheet/003.md at master · kendryte/kendryte-doc-datasheet · GitHub (<https://github.com/kendryte/kendryte-doc-datasheet/blob/master/en/003.md>). Дата обращения: 16 октября 2018. Архивировано (<https://web.archive.org/web/20190409200547/https://github.com/kendryte/kendryte-doc-datasheet/blob/master/en/003.md>) 9 апреля 2019 года.
37. GreenWaves GAP8 is a Low Power RISC-V IoT Processor Optimized for Artificial Intelligence Applications (<https://www.cnx-software.com/2018/02/27/greenwaves-gap8-is-a-low-power-risc-v-processor-optimized-for-artificial-intelligence-applications/>). Дата обращения: 23 августа 2018. Архивировано (<https://web.archive.org/web/20180828025701/https://www.cnx-software.com/2018/02/27/greenwaves-gap8-is-a-low-power-risc-v-processor-optimized-for-artificial-intelligence-applications/>) 28 августа 2018 года.
38. CRU: Free RISC-V Boards, Security in the FOSSi Era, and More (<http://abopen.com/news/cru-free-risc-v-boards-security-in-the-fossi-era-and-more/>). Дата обращения: 26 января 2019. Архивировано (<https://web.archive.org/web/201910126164336/https://abopen.com/news/cru-free-risc-v-boards-security-in-the-fossi-era-and-more/>) 26 января 2019 года.
39. WCH CH572 — это RISC-V MCU с возможностью подключения Bluetooth LE — CNXSoft- новости Android-приставок и встраиваемых систем (<http://www.cnx-software.ru/2019/02/18/wch-ch572-%D1%8D%D1%82%D0%BE-risc-v-mcu-%D1%81-%D0%B2%D0%BE%D0%B7%D0%BC%D0%BE%D0%B6%D0%BD%D0%BE%D1%81%D1%82%D1%8C%D1%8E-%D0%BF%D0%BE%D0%B4%D0%BA%D0%BB%D1%8E%D1%87%D0%B5%D0%BD%D0%B8%D1%8F-bluetooth-l/>). Дата обращения: 16 марта 2022. Архивировано (<https://web.archive.org/web/20200804191706/https://cnx-software.ru/2019/02/18/wch-ch572-%D1%8D%D1%82%D0%BE-risc-v-mcu-%D1%81-%D0%B2%D0%BE%D0%B7%D0%BC%D0%BE%D0%B6%D0%BD%D0%BE%D1%81%D1%82%D1%8C%D1%8E-%D0%BF%D0%BE%D0%B4%D0%BA%D0%BB%D1%8E%D1%87%D0%B5%D0%BD%D0%B8%D1%8F-bluetooth-l/>) 4 августа 2020 года.
40. Huawei's Amazfit Debuts at MWC, Opening a New Chapter in Global Expansion | Markets Insider (<https://markets.businessinsider.com/news/stocks/huami-s-amazfit-debuts-at-mwc-opening-a-new-chapter-in-global-expansion-1027996253>). Дата обращения: 25 мая 2019. Архивировано (<https://web.archive.org/web/20190525095510/https://markets.businessinsider.com/news/stocks/huami-s-amazfit-debuts-at-mwc-opening-a-new-chapter-in-global-expansion-1027996253>) 25 мая 2019 года.
41. GigaDevice выпускает микроконтроллер GD32V RISC-V и платы для разработки — CNXSoft- новости Android-приставок и встраиваемых систем (<https://cnx-software.ru/2019/08/23/gigadevice-%D0%B2%D1%8B%D0%BF%D1%83%D1%81%D0%BA%D0%B0%D0%B5%D1%82-%D0%BC%D0%B8%D0%BA%D1%80%D0%BE%D0%BA%D0%BE%D0%BD%D1%82%D1%80%D0%BE%D0%B7%D0%BB%D0%B5%D1%80-gd32v-risc-v-%D0%B8-%D0%BF%D0%BB%D0%B0%D1%82%D1%8B-%D0%B4%D0%BB%D1%8F-%D1%80%D0%B0%D0%B7%D1%80%D0%B0%D0%B1%D0%BE%D1%82%D0%BA%D0%B8/>). Дата обращения: 16 марта 2022. Архивировано (<https://web.archive.org/web/20200804201616/https://cnx-software.ru/2019/08/23/gigadevice-%D0%B2%D1%8B%D0%BF%D1%83%D1%81%D0%BA%D0%B0%D0%B5%D1%82-%D0%BC%D0%B8%D0%BA%D1%80%D0%BE%D0%BA%D0%BE%D0%BD%D1%82%D1%80%D0%BE%D0%B7%D0%BB%D0%B5%D1%80-gd32v-risc-v-%D0%B8-%D0%BF%D0%BB%D0%B0%D1%82%D1%8B-%D0%B4%D0%BB%D1%8F-%D1%80%D0%B0%D0%B7%D1%80%D0%B0%D0%B1%D0%BE%D1%82%D0%BA%D0%B8/>) 4 августа 2020 года.
- 42.首款基于 RISC-V 的 32 位通用单片机出现 — 硬件 — cnBeta.COM (<https://www.cnbeta.com/articles/tech/881519.htm>). Дата обращения: 24 августа 2019. Архивировано (<https://web.archive.org/web/20190824071721/https://www.cnbeta.com/articles/tech/881519.htm>) 24 августа 2019 года.
43. Архивированная копия (<https://web.archive.org/web/20181223012251/http://www.fadu.io/Controller.pdf>). Дата обращения: 19 марта 2019. Архивировано из оригинала (<http://www.fadu.io/Controller.pdf>) 23 декабря 2018 года.
44. FADU Introduces SSD Controller and Bravo Series Enterprise SSD Deliver Maximum IOPS/Watt (<https://news.thomasnet.com/fullstory/fadu-introduces-ssd-controller-and-bravo-series-enterprise-ssd-deliver-maximum-iops-watt-40013948>)
45. FADU Launches Industry Leading SSD Solutions Powered by SiFive RISC-V Core IP (<https://www.design-reuse.com/news/44564/fadu-ssd-sifive-risc-v-core-ip.html>). Дата обращения: 19 марта 2019. Архивировано (<https://web.archive.org/web/20190417010823/https://www.design-reuse.com/news/44564/fadu-ssd-sifive-risc-v-core-ip.html>) 17 апреля 2019 года.
46. Sophon Edge AI platform with RISC-V Processor — YouTube (<https://www.youtube.com/watch?v=jaVEkcbaaTA>). Дата обращения: 20 октября 2019. Архивировано (<https://web.archive.org/web/20190831061045/https://www.youtube.com/watch?v=jaVEkcbaaTA&feature=youtu.be&t=677>) 31 августа 2019 года.
47. Особенности платы для разработки 96Boards AI Sophon Edge с SoC Bitmain BM1880 ASIC — CNXSoft- новости Android-приставок и встраиваемых систем (<https://cnx-software.ru/2018/11/12/%D0%BE%D1%81%D0%BE%D0%B1%D0%B5%D0%BD%D0%BE%D1%82%D0%B8-%D0%BF%D0%BB%D0%B0%D1%82%D1%8B-%D0%B4%D0%BB%D1%8F-%D1%80%D0%B0%D0%B7%D1%80%D0%B0%D0%B1%D0%BE%D1%82%D0%BA%D0%B8-96boards-ai-sophon-edg/>). Дата обращения: 16 марта 2022. Архивировано (<https://web.archive.org/web/20200804201235/https://cnx-software.ru/2018/11/12/%D0%BE%D1%81%D0%BE%D0%B1%D0%B5%D0%BD%D0%BE%D1%82%D0%B8-%D0%BF%D0%BB%D0%B0%D1%82%D1%8B-%D0%B4%D0%BB%D1%8F-%D1%80%D0%B0%D0%B7%D1%80%D0%B0%D0%B1%D0%BE%D1%82%D0%BA%D0%B8-96boards-ai-sophon-edg/>) 4 августа 2020 года.
48. Микросхема «Дружба» от компании «Текон» (<https://isup.ru/news/14878/>). Дата обращения: 26 марта 2020. Архивировано (<https://web.archive.org/web/20200326114857/https://isup.ru/news/14878/>) 26 марта 2020 года.
49. Микросхемы (<http://www.tecon.ru/prodykcia/mikroshemy/>). Дата обращения: 26 марта 2020. Архивировано (<https://web.archive.org/web/20200326114857/http://www.tecon.ru/prodykcia/mikroshemy/>) 26 марта 2020 года.
50. ONiO zero предлагает микроконтроллер RISC-V, который работает без батареи — CNXSoft- новости Android-приставок и встраиваемых систем (<https://cnx-software.ru/2020/01/11/onio-zero-predlagaet-mikrokontroler-risc-v-kotoryj-rabotaet-bez-batarei/>). Дата обращения: 16 марта 2022. Архивировано (<https://web.archive.org/web/20200803141511/https://cnx-software.ru/2020/01/11/onio-zero-%D0%B0%D1%80%D0%B5%D0%B4%D0%BB%D0%B0%D0%B3%D0%B0%D0%B5%D1%82-%D0%BC%D0%B8%D0%BA%D1%80%D0%BE%D0%BA%D0%BE%D0%BD%D1%82%D1%80%D0%BE%D0%BB%D0%B5%D1%80-risc-v-%D0%BA%D0%BE%D1%82%D0%BE%D1%80%D1%8B%D0%B9-%D1%80%D0%B0%D0%B1%D0%BE%D1%82%D0%B0%D0%B5%D1%82-%D0%B1%D0%B5%D0%B7-%D0%B1%D0%B0%D1%82%D0%B0%D1%80%D0%B5%D0%B8/>) 3 августа 2020 года.
51. ONiO zero Offers Up to 24MHz of RISC-V Microcontroller Performance on Nothing But Harvested Energy — Hackster.io (<https://www.hackster.io/news/onio-zero-offers-up-to-24mhz-of-risc-v-microcontroller-performance-on-nothing-but-harvested-energy-70285321d50d>). Дата обращения: 12 января 2020. Архивировано (<https://web.archive.org/web/20200112102044/https://www.hackster.io/news/onio-zero-offers-up-to-24mhz-of-risc-v-microcontroller-performance-on-nothing-but-harvested-energy-70285321d50d>) 12 января 2020 года.

52. WCH CH32V103 универсальный RISC-V MCU предлагает альтернативу микроконтроллеру RISC-V GD32V — CNXSoft-новости Android-приставок и встраиваемых систем (<https://cnx-software.ru/2020/06/16/wch-ch32v103-%D1%83%D0%BD%D0%B8%D0%B2%D0%B5%D1%80%D1%81%D0%B0%D0%BB%D1%8C%D0%BD%D1%8B%D0%B9-risc-v-mcu-%D0%BF%D1%80%D0%B5%D0%B4%D0%BB%D0%B0%D0%B3%D0%B0%D0%B5%D1%82-%D0%B0%D0%BB%D1%8C%D1%82%D0%B5%D1%80%D0%BD%D0%B0%D1%82%D0%B8%D0%B2%D1%83-%D0%BC%D0%B8%D0%BA%D1%80%D0%BE%D0%BA%D0%BE%D0%BD%D1%82%D1%80%D0%BE%D0%BB%D0%BB%D0%B5%D1%80%D1%83-risc-v-gd32v/>). Дата обращения: 16 марта 2022. Архивировано (<https://web.archive.org/web/20200616130642/https://cnx-software.ru/2020/06/16/wch-ch32v103-%D1%83%D0%BD%D0%B8%D0%B2%D0%B5%D1%80%D1%81%D0%B0%D0%BB%D1%8C%D0%BD%D1%8B%D0%B9-risc-v-mcu-%D0%BF%D1%80%D0%B5%D0%B4%D0%BB%D0%B0%D0%B3%D0%B0%D0%B5%D1%82-%D0%B0%D0%BB%D1%8C%D1%82%D0%B5%D1%80%D0%BD%D0%B0%D1%82%D0%B8%D0%B2%D1%83-%D0%BC%D0%B8%D0%BA%D1%80%D0%BE%D0%BA%D0%BE%D0%BD%D1%82%D1%80%D0%BE%D0%BB%D0%BB%D0%B5%D1%80%D1%83-risc-v-gd32v/>) 16 июня 2020 года.
53. Процессор ESP32-C3 WiFi и BLE RISC-V по контактам совместим с ESP8266 — CNXSoft- новости Android-приставок и встраиваемых систем (<https://cnx-software.ru/2020/11/22/processor-esp32-c3-wifi-i-ble-risc-v-po-kontaktam-sovmestim-s-esp8266/>). Дата обращения: 17 декабря 2020. Архивировано (<https://web.archive.org/web/20201129195659/https://cnx-software.ru/2020/11/22/processor-esp32-c3-wifi-i-ble-risc-v-po-kontaktam-sovmestim-s-esp8266/>) 29 ноября 2020 года.
54. BL602/BL604 RISC-V WiFi и Bluetooth 5.0 LE SoC будут продаваться по цене ESP8266 — CNXSoft- новости Android-приставок и встраиваемых систем (<https://cnx-software.ru/2020/10/28/bl602-bl604-risc-v-wifi-i-bluetooth-5-0-le-soc-budut-prodavatsya-po-tsene-esp8266/>). Дата обращения: 17 декабря 2020. Архивировано (<https://web.archive.org/web/20210301222408/https://cnx-software.ru/2020/10/28/bl602-bl604-risc-v-wifi-i-bluetooth-5-0-le-soc-budut-prodavatsya-po-tsene-esp8266/>) 1 марта 2021 года.
55. Cmsemicon ANT32RV56xx is a RISC-V microcontroller for wireless charging (<https://www.cnx-software.com/2020/12/17/cmsemicon-ant32rv56xx-is-a-risc-v-microcontroller-for-wireless-charging/>). Дата обращения: 17 декабря 2020. Архивировано (<https://web.archive.org/web/20201217124341/https://www.cnx-software.com/2020/12/17/cmsemicon-ant32rv56xx-is-a-risc-v-microcontroller-for-wireless-charging/>) 17 декабря 2020 года.
56. Каталог продукции компании ПАО «Микрон» (<https://mikron.ru/products/mikrokontrollery/mikrokontroller-mik32/>). Дата обращения: 30 марта 2021. Архивировано (<https://web.archive.org/web/20210420093657/https://mikron.ru/products/mikrokontrollery/mikrokontroller-mik32/>) 20 апреля 2021 года.
57. RISC-V микроконтроллер МИК32 (<https://www.mcu.mikron.ru/>). *www.mcu.mikron.ru*. Дата обращения: 2 июля 2021. Архивировано (<https://web.archive.org/web/20210702180315/https://www.mcu.mikron.ru/>) 2 июля 2021 года.
58. MIPS Goes Open Source | EE Times (https://www.eetimes.com/document.asp?doc_id=1334087). Дата обращения: 27 января 2019. Архивировано (https://web.archive.org/web/20190802153207/https://www.eetimes.com/document.asp?doc_id=1334087) 2 августа 2019 года.

Литература

- Instruction Sets Should Be Free: The Case For RISC-V (<http://www.eecs.berkeley.edu/Pubs/TechRpts/2014/EECS-2014-146.html>) Архивная копия (<https://web.archive.org/web/20160304045606/http://www.eecs.berkeley.edu/Pubs/TechRpts/2014/EECS-2014-146.html>) от 4 марта 2016 на Wayback Machine // Публикация Krste Asanović и Дэвида Паттерсона (pdf (<http://www.eecs.berkeley.edu/Pubs/TechRpts/2014/EECS-2014-146.pdf>) Архивная копия (<https://web.archive.org/web/20140825023558/http://www.eecs.berkeley.edu/Pubs/TechRpts/2014/EECS-2014-146.pdf>) от 25 августа 2014 на Wayback Machine)
- The RISC-V Instruction Set (http://www.hotchips.org/wp-content/uploads/hc_archives/hc25/HC25-posters/HC25.26.p70-RISC-V-Warterman-UCB.pdf) Архивная копия (https://web.archive.org/web/20170506031542/http://www.hotchips.org/wp-content/uploads/hc_archives/hc25/HC25-posters/HC25.26.p70-RISC-V-Warterman-UCB.pdf) от 6 мая 2017 на Wayback Machine // HotChips 25
- RISC-V, Spike, and the Rocket Core (<http://www-inst.eecs.berkeley.edu/~cs250/fa13/handouts/lab2-riscv.pdf>) Архивная копия (<https://web.archive.org/web/20140903185328/http://www-inst.eecs.berkeley.edu/~cs250/fa13/handouts/lab2-riscv.pdf>) от 3 сентября 2014 на Wayback Machine
- David Patterson и Andrew Waterman: «RISC-V reader: An Open Architecture Atlas», Strawberry Canyon, ISBN 978-0-9992491-1-6 (Sep. 10th, 2017).

Ссылки

- riscv.org (<http://riscv.org/>) — официальный сайт RISC-V
- UCB RISC-V (<https://github.com/ucb-bar>) Архивная копия (<https://web.archive.org/web/20170114131434/https://github.com/ucb-bar>) от 14 января 2017 на Wayback Machine // GitHub (англ.)

Источник — <https://ru.wikipedia.org/w/index.php?title=RISC-V&oldid=133265045>

Эта страница в последний раз была отредактирована 26 сентября 2023 в 09:14.

Текст доступен по лицензии Creative Commons «С указанием авторства — С сохранением условий» (CC BY-SA); в отдельных случаях могут действовать дополнительные условия.

Wikipedia® — зарегистрированный товарный знак некоммерческой организации Фонд Викимедиа (Wikimedia Foundation, Inc.)