

# Intel P6

Материал из Википедии — свободной энциклопедии

**P6** — суперскалярная суперконвейерная архитектура, разработанная компанией Intel и лежащая в основе микропроцессоров Pentium Pro, Pentium II, Pentium III, Celeron и Xeon. В отличие от x86-совместимых процессоров предыдущих поколений с CISC-ядром, процессоры архитектуры P6 имеют RISC-ядро, исполняющее сложные инструкции x86 не напрямую, а предварительно декодируя их в простые внутренние микрооперации.

Первым процессором архитектуры P6 стал анонсированный 1 ноября 1995 года процессор Pentium Pro, нацеленный на рынок рабочих станций и серверов. Процессоры Pentium Pro выпускались параллельно с процессорами архитектуры P5 (Pentium и Pentium MMX), предназначенными для персональных компьютеров. 7 мая 1997 года компанией Intel был анонсирован процессор Pentium II, пришедший на смену процессорам архитектуры P5<sup>[1]</sup>.

В 2000 году на смену архитектуре P6 на рынке настольных и серверных процессоров пришла архитектура NetBurst, однако архитектура P6 получила своё развитие в мобильных процессорах Pentium M и Core. В 2006 году на смену процессорам архитектуры NetBurst пришли процессоры семейства Core 2 Duo, архитектура которых также представляет собой развитие архитектуры P6<sup>[2][3]</sup>.

## Содержание

**Функциональные устройства**

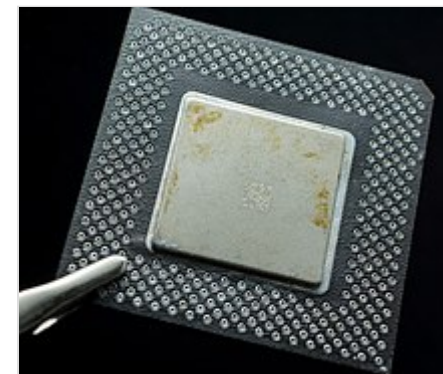
**Исполнение инструкции**

**Особенности архитектуры**

Достоинства

Недостатки

**Процессоры архитектуры P6**



[Схема развития архитектур Intel](#)

[Примечания](#)

[Ссылки](#)

## Функциональные устройства

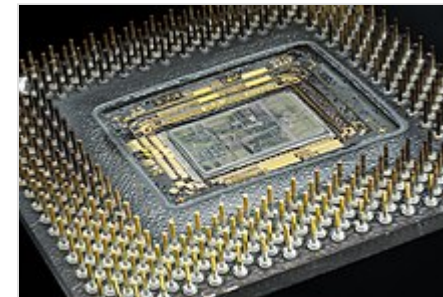
Процессоры архитектуры P6 состоят из четырёх основных подсистем:

- Подсистема упорядоченной предварительной обработки ([англ. In-Order Front End, IOFE](#)) — отвечает за выборку и декодирование инструкций в порядке, предусмотренном программой, и предсказывает переходы.
- Ядро исполнения с изменением последовательности ([англ. Out-of-Order Core, O2C](#)) — отвечает за исполнение микроопераций в оптимальном порядке и организует взаимодействие исполнительных устройств.
- Подсистема упорядоченного завершения ([англ. In-Order Retirement, IOR](#)) — выдаёт результаты исполнения в порядке, предусмотренном программой.
- Подсистема памяти ([англ. memory subsystem](#)) — обеспечивает взаимодействие процессора с оперативной памятью.

### Подсистема упорядоченной предварительной обработки

К устройствам этой подсистемы относятся:

- Модуль и [буфер предсказания переходов](#) (*Branch Target Buffer, BTB*) — предсказывают переходы и хранят таблицу истории переходов. Для предсказания используются как динамический, так и статический методы. Последний используется в том случае, если динамическое предсказание невозможно (в таблице переходов отсутствует необходимая информация).
- Декодер инструкций (*Instruction Decoder*) — преобразует CISC-инструкции x86 в последовательность RISC-микроопераций, исполняемых процессором. Включает два декодера простых инструкций (*Simple*), обрабатывающих команды, которые могут быть выполнены одной микрооперацией, и декодер сложных инструкций (*Complex*), обрабатывающего команды, для которых нужно несколько (до четырёх) микроопераций.
- Планировщик последовательностей микроопераций (*Microcode sequencer*) — хранит последовательности микроопераций, используемые при декодировании сложных инструкций x86, требующих более четырёх микроопераций.
- Блок вычисления адреса следующей инструкции (*Next IP Unit*) — вычисляет адрес инструкции ([англ. instruction pointer, IP](#)), которая должна быть обработана следующей, на основании информации о прерываниях и таблицы переходов.
- Блок выборки инструкций (*Instruction Fetch Unit, IFU*) — осуществляет выборку инструкций из памяти по адресам, подготовленным блоком вычисления адреса следующей инструкции.



Кристалл процессора Intel Celeron P6

Процессоры на ядре Tualatin дополнительно содержат блок предвыборки инструкций (*Prefetcher*), который осуществляет предварительную выборку инструкций на основании таблицы переходов.

### Ядро исполнения с изменением последовательности

Исполнение с изменением последовательности, при котором меняется очерёдность исполнения инструкций, так, чтобы это не приводило к изменению результата, позволяет ускорить работу за счёт более оптимального распределения запросов к вспомогательным блокам и минимизации их простоев. К устройствам организации исполнения с изменением последовательности относятся:

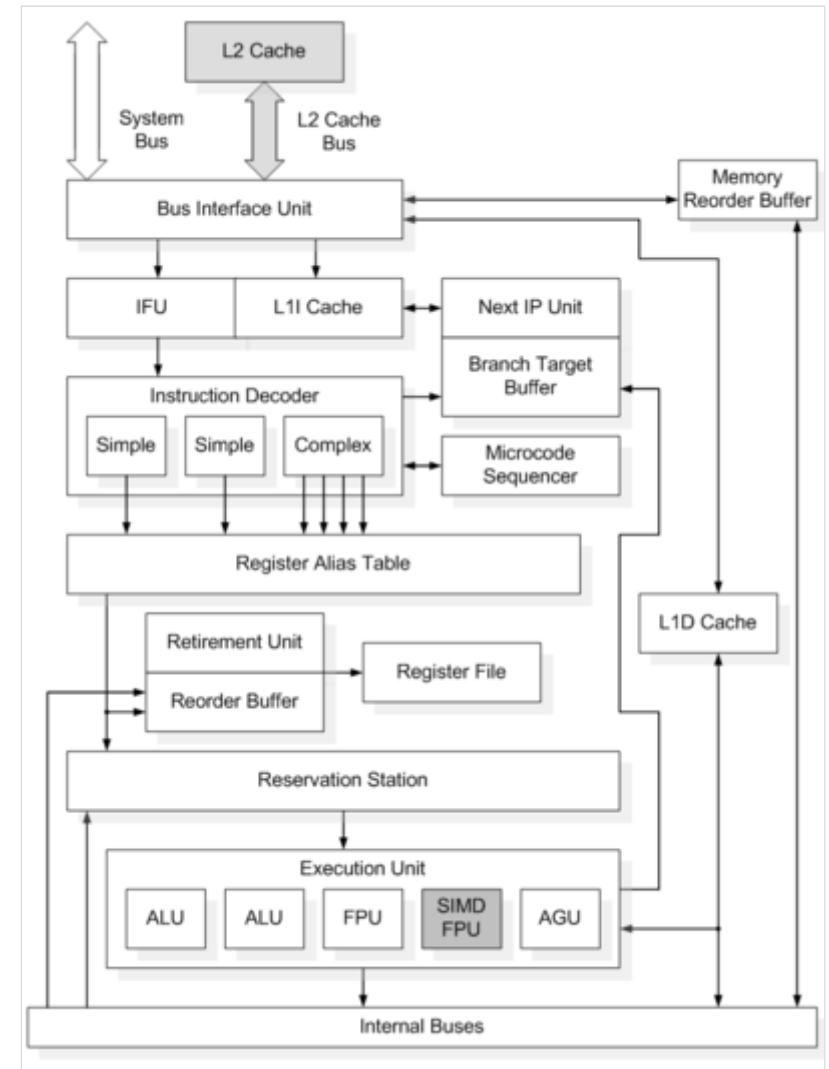
- Таблица назначения регистров (*Register Alias Table*) — задаёт соответствие между регистрами архитектуры x86/IA32 (Intel Architecture 32-bit) и внутренними регистрами, используемыми при выполнении микроопераций.
- Буфер переупорядочивания микроопераций (*Reorder Buffer*) — обеспечивает выполнение микроопераций в оптимальной с точки зрения производительности последовательности.
- Станция-резервуар (*Reservation Station*) — содержит инструкции, отправляемые на исполнительные устройства.

К исполнительным устройствам ядра относятся:

- Арифметико-логические устройства, АЛУ (*Arithmetic Logic Unit, ALU*) — выполняют целочисленные операции.
- Блок арифметики с плавающей запятой (*Floating Point Unit, FPU*) — выполняет операции над числами с плавающей точкой. Процессоры Pentium III и выше имеют также блок, осуществляющий исполнение инструкций SSE (*SIMD FPU*).
- Блок генерации адресов (*Address Generation Unit, AGU*) — вычисляет адреса данных, используемых инструкциями, и формирует запросы к кэшу для загрузки/выгрузки этих данных.

### Подсистема упорядоченного завершения

- Регистровый файл (*Register File*) — хранит результаты операций (состояние регистров IA32 для исполняемых инструкций).



Функциональная схема процессора Pentium III на ядре Coppermine

- Буфер переупорядочивания памяти (*Memory Reorder Buffer*) — управляет порядком записи данных в память для предотвращения записи неверных данных из-за изменения порядка выполнения инструкций.
- Блок завершения (*Retirement Unit*) — выдаёт результаты исполнения инструкций в той последовательности, в которой они поступили на исполнение.

## Подсистема памяти

Подсистема памяти осуществляет взаимодействие с оперативной памятью. К этой подсистеме относятся:

- Кэш первого уровня для данных (*Level 1 Data Cache, L1D*) — память с малым временем доступа объёмом 8 (для Pentium Pro) или 16 (для более новых процессоров) килобайт, предназначенная для хранения данных.
- Кэш первого уровня для инструкций (*Level 1 Instruction Cache, L1I*) — память с малым временем доступа объёмом 8 (Pentium Pro) или 16 килобайт, предназначенная для хранения инструкций.
- Кэш второго уровня (*Level 2 Cache, L2*). Память с малым временем доступа объёмом 128, 256, 512, 1024 или 2048 килобайт. Ширина шины L2 составляет 64 или 256 (для процессоров на ядре Coppermine и выше) бит. Процессоры Celeron на ядре Covington кэша второго уровня не имеют.
- Блок шинного интерфейса (*Bus Interface Unit*) — управляет системной шиной.

### Объём L2 процессоров архитектуры P6

Объём (Кб)	Процессоры
0	<u>Celeron Covington</u>
128	<u>Celeron</u> (Mendocino, <u>Coppermine-128</u> ), <u>Pentium III</u> ( <u>Coppermine</u> для приставки <u>Xbox</u> <sup>[4]</sup> )
256	<u>Pentium Pro</u> , <u>Pentium III</u> ( <u>Coppermine</u> , <u>Tualatin-256</u> ), <u>Xeon</u> ( <u>Cascades</u> )
512	<u>Pentium Pro</u> , <u>Pentium II</u> , <u>Pentium III</u> ( <u>Katmai</u> , <u>Tualatin</u> ), <u>Xeon</u> ( <u>Drake</u> , <u>Tanner</u> )
1024	<u>Pentium Pro</u> , <u>Xeon</u> ( <u>Drake</u> , <u>Tanner</u> )
2048	<u>Xeon</u> ( <u>Drake</u> , <u>Tanner</u> , <u>Cascades 2MB</u> )

## Исполнение инструкции

Исполнение инструкции памяти инструкций первой строки (64 байта (две строки)). И следующей инструкции, преобразующий инструкцию микрооперация, декодирует инструкцию соответствует декодер сложных инструкций микроопераций, то они фс

**Pentium Pro** — процессор Intel шестого поколения, совместимый с архитектурой x86. Был анонсирован 1 ноября 1995 года, однако доступен стал несколько позже. Первоначально планировалось заменить

из кэш-ируется адреса рукций, ет одна й. Если роводит число ераций.

### Конвейер процессора Pentium Pro

Конвейер состоит из 12 стадий<sup>[5]</sup>:

- IOFE(1—4) — определение адреса инструкции и её выборка.
- IOFE(4—6) — декодирование.
- IOFE7 — переименование регистров.



процессоры Pentium III на ядре Coppermine способны работать на частоте, превышающей 1000 МГц.

Для того, чтобы предотвратить ситуацию ожидания исполнения инструкции (и, следовательно, простоя конвейера), от результатов которого зависит выполнение или невыполнение условного перехода, в процессорах архитектуры P6 используется предсказание ветвлений. Для этого в процессорах архитектуры P6 используется сочетание статического и динамического предсказания: двухуровневый адаптивный исторический алгоритм (англ. *Bimodal branch prediction*) применяется в том случае, если буфер предсказания ветвлений содержит историю переходов, в противном случае применяется статический алгоритм<sup>[6][7]</sup>.

### Двойная независимая шина

С целью увеличения пропускной способности подсистемы памяти в процессорах архитектуры P6 применяется двойная независимая шина. В отличие от предшествующих процессоров, системная шина которых была общей для нескольких устройств, процессоры архитектуры P6 имеют две отдельные шины: Back side bus, соединяющую процессор с кэш-памятью второго уровня, и Front side bus, соединяющую процессор с северным мостом набора микросхем<sup>[6]</sup>.

### Достоинства

Процессоры архитектуры P6 имели конвейеризованный математический сопроцессор (FPU), позволивший достичь превосходства над предшественниками и конкурентами в скорости вещественночисленных вычислений<sup>[8]</sup>. FPU процессоров архитектуры P6 оставался лучшим среди конкурентов до появления в 1999 году процессора AMD Athlon<sup>[9]</sup>.

Кроме того, процессоры архитектуры P6 имели превосходство над конкурентами и в скорости работы с кэш-памятью второго уровня. Pentium Pro и Pentium II имели двойную независимую шину, в то время как конкурирующие процессоры (AMD K5, K6, Cyrix 6x86, M-II) — традиционную системную шину, к которой подключался, в том числе, и кэш второго уровня<sup>[10]</sup>. С появлением процессоров Athlon, также использующих архитектуру с двойной независимой шиной, разрыв в производительности сократился, но 256-разрядная BSB процессоров Pentium III (начиная с ядра Coppermine) позволяла удерживать преимущество в скорости работы с кэш-памятью второго уровня над процессорами архитектуры K7, имевшими 64-разрядную BSB. Однако, устаревшая на тот момент системная шина процессоров архитектуры P6 в сочетании с большим объёмом кэш-памяти первого уровня у процессоров архитектуры K7 не позволяла получить преимущества в пропускной способности памяти<sup>[11]</sup>.

### Недостатки



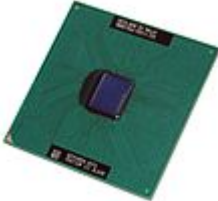
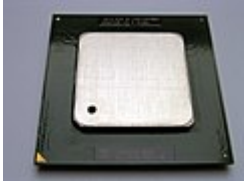
Основным недостатком первых процессоров архитектуры P6 (Pentium Pro) была низкая производительность при работе с широко распространённым в то время 16-разрядным программным обеспечением. Это было связано с тем, что при работе с такими приложениями внеочередное исполнение инструкций было затруднено (так, например, процессор Pentium Pro не мог выполнить




чтение из 32-битного регистра, если до этого была выполнена запись в его 16-битную младшую часть, а команда, выполнившая запись, не была отставлена<sup>[12]</sup>). В процессоре Pentium II этот недостаток был исправлен, что привело к увеличению производительности при работе с 16-разрядными программами более чем на треть<sup>[13]</sup>.

Процессоры архитектуры P6 поддерживали работу в многопроцессорных системах, однако при этом использовалась разделяемая системная шина, что позволяло упростить трассировку системных плат, однако отрицательно сказывалось на производительности подсистемы процессор-память и ограничивало максимальное количество процессоров в системе<sup>[9][14]</sup>.

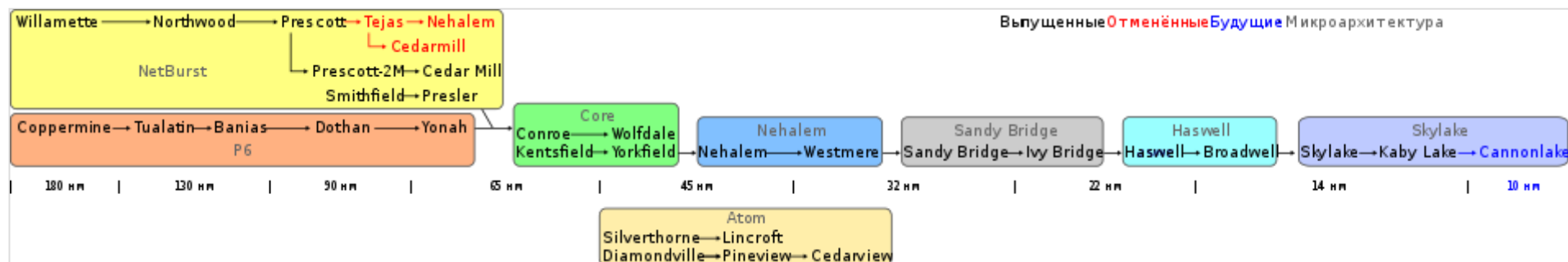
## Процессоры архитектуры P6

Процессор	Ядро	Технология производства	Годы выпуска
<u>Pentium Pro</u>	P6	КМОП/БиКМОП, 500—350 нм	1995—1998
<u>Pentium II</u>	Klamath, Deschutes	КМОП, 350—250 нм	1997—1999
<u>Pentium III</u>	Katmai, Coppermine, Tualatin-256	КМОП, 250—130 нм	1999—2002
<u>Pentium III-S</u>	Tualatin	КМОП, 130 нм	2001—2002
<u>Celeron</u>	Covington, Mendocino, Coppermine-128, Tualatin-256	КМОП, 250—130 нм	1998—2002
<u>Pentium II Xeon</u>	Drake	КМОП, 250 нм	1998—1999
<u>Pentium III Xeon</u>	Tanner, Cascades, Cascades 2MB	КМОП, 250—180 нм	1999—2001

			
<b>Pentium Pro (P6)</b>	<b>Pentium II (Deschutes)</b>	<b>Pentium III (Coppermine)</b>	<b>Pentium III S (Tualatin)</b>

			
<b>Pentium III Mobile</b>	<b>Celeron (Mendocino)</b>	<b>Celeron (Mendocino)</b>	<b>Celeron (Coppermine-128)</b>

## Схема развития архитектур Intel



Поколения процессоров Intel

## Примечания

1. В ожидании Willamette — история архитектуры IA-32 и как работают процессоры семейства P6 (<http://www.ixbt.com/cpu/pentium4-1.html>). Дата обращения: 12 августа 2008. Архивировано (<http://web.archive.org/web/20130702010558/http://www.ixbt.com/cpu/pentium4-1.html>) 2 июля 2013 года.
2. Pentium M: хороший «десктопный» CPU... которого у нас не будет (<https://www.webcitation.org/61BVud17u?url=http://www.ixbt.com/cpu/intel-pentium-m-desktop.shtml>). IXBT.com (26 июля 2005). Дата обращения: 16 августа 2008. Архивировано из оригинала (<http://ixbt.com/cpu/intel-pentium-m-desktop.shtml>) 24 августа 2011 года.
3. Новое вино в старые мехи. Conroe: внук процессора Pentium III, племянник архитектуры NetBurst? (<https://web.archive.org/web/20140103212153/http://www.ixbt.com/cpu/p6-nexgen.shtml>) IXBT.com (9 сентября 2005). Дата обращения: 16 августа 2008. Архивировано из оригинала (<http://www.ixbt.com/cpu/p6-nexgen.shtml>) 3 января 2014 года.
4. В отличие от процессора Celeron на ядре Coppermine-128, имеющего 4-канальный ассоциативный кэш второго уровня, у этого процессора кэш 8-канальный. См.: «Мир игровых консолей. Часть пятая», журнал Upgrade, 2007, № 28 (325), стр. 24

5. *Jon Stokes*. The Pentium: An Architectural History of the World's Most Famous Desktop Processor (Part I) (<https://www.webcitation.org/652UIL7NB?url=http://arstechnica.com/old/content/2004/07/pentium-1.ars/6>) (англ.). Ars Technica (11 июля 2004). Дата обращения: 19 августа 2008. Архивировано из оригинала (<https://arstechnica.com/articles/paedia/cpu/pentium-1.ars/6>) 28 января 2012 года.
6. X86 архитектуры бывают разные... (<http://www.fcenter.ru/online.shtml?articles%2Fhardware%2Fprocessors%2F1799>) Дата обращения: 11 мая 2022. Архивировано (<https://web.archive.org/web/2010104121336/http://www.fcenter.ru/online.shtml?articles%2Fhardware%2Fprocessors%2F1799>) 4 января 2012 года.
7. [http://www.pcmag.ru/issues/sub\\_detail.php?ID=10105&SUB\\_PAGE=8](http://www.pcmag.ru/issues/sub_detail.php?ID=10105&SUB_PAGE=8) — Наследие RISC: Предсказание переходов.
8. Сравнение систем на базе Super Socket-7 и Slot-1 (<http://www.ixbt.com/cpu/intelvsamd.html>). Дата обращения: 12 августа 2008. Архивировано (<https://web.archive.org/web/20130702012033/http://www.ixbt.com/cpu/intelvsamd.html>) 2 июля 2013 года.
9. Обзор процессора AMD Athlon 600 МГц (<http://www.ixbt.com/cpu/amd-athlon.html>). Дата обращения: 12 августа 2008. Архивировано (<https://web.archive.org/web/20130404195532/http://www.ixbt.com/cpu/amd-athlon.html>) 4 апреля 2013 года.
10. Шина PCI (Peripheral Component Interconnect bus) (<http://www.ixbt.com/mainboard/pci.html>) Архивная копия (<https://web.archive.org/web/20130404171129/http://www.ixbt.com/mainboard/pci.html>) от 4 апреля 2013 на Wayback Machine — см. схему
11. Процессоры с частотой 1000 МГц (<http://www.ixbt.com/cpu/1000-p3-vs-tb.html>). Дата обращения: 12 августа 2008. Архивировано (<https://web.archive.org/web/20080623042447/http://www.ixbt.com/cpu/1000-p3-vs-tb.html>) 23 июня 2008 года.
12. Максим Лень: «АРХИТЕКТУРА P6: НАСЛЕДИЕ ПОКОЛЕНИЙ» (опубликована на сайте fcenter.ru 22 ноября 2000 года) — сохранённая копия (<http://cp.people.overclockers.ru/cgi-bin/dl.pl?id=28608&filename=fcart.rar>) (недоступная ссылка)
13. [http://www.pcmag.ru/issues/sub\\_detail.php?ID=9935&SUB\\_PAGE=3](http://www.pcmag.ru/issues/sub_detail.php?ID=9935&SUB_PAGE=3) — Pentium: история продолжается.
14. Двухпроцессорные Socket A системы на базе чипсета AMD 760MP (<http://www.fcenter.ru/online.shtml?articles%2Fhardware%2Fprocessors%2F1052>). Дата обращения: 11 мая 2022. Архивировано (<https://web.archive.org/web/20090223022643/http://www.fcenter.ru/online.shtml?articles%2Fhardware%2Fprocessors%2F1052>) 23 февраля 2009 года.

## Ссылки

### Официальная информация

- Официальная база данных по процессорам Pentium II (<https://web.archive.org/web/20080511172619/http://processorfinder.intel.com/List.aspx?ProcFam=47&sSpec=&OrdCode=>) (англ.)
- Документация по процессорам Pentium II (<http://www.intel.com/design/PentiumII/documentation.htm>) (англ.)
- Документация по процессорам Mobile Pentium II (<http://www.intel.com/support/processors/mobile/pentiumII/>)
- Официальная база данных по процессорам Pentium III (<https://web.archive.org/web/20080418100538/http://processorfinder.intel.com/List.aspx?ProcFam=25&sSpec=&OrdCode=>) (англ.)
- Документация по процессорам Pentium III (<http://www.intel.com/support/processors/pentiumiii/>) (англ.)
- Документация по процессорам Mobile Pentium III (<http://www.intel.com/support/processors/mobile/pentiumiii/>) (англ.)

## Характеристики процессоров архитектуры P6

- [Характеристики процессоров Pentium Pro](https://web.archive.org/web/20110727235230/http://www.sandpile.org/impl/p6.htm) (<https://web.archive.org/web/20110727235230/http://www.sandpile.org/impl/p6.htm>) (англ.)
- [Характеристики процессоров Pentium II OverDrive](https://web.archive.org/web/20110520204011/http://sandpile.org/impl/p6od.htm) (<https://web.archive.org/web/20110520204011/http://sandpile.org/impl/p6od.htm>) (англ.)
- [Характеристики процессоров Pentium II](https://archive.today/20070927222115/http://sandpile.org/impl/p2.htm) (<https://archive.today/20070927222115/http://sandpile.org/impl/p2.htm>) (англ.)
- [Характеристики процессоров Pentium III](https://web.archive.org/web/20110520204040/http://sandpile.org/impl/p3.htm) (<https://web.archive.org/web/20110520204040/http://sandpile.org/impl/p3.htm>) (англ.)

## Обзоры процессоров

- [Pentium Pro: Производительность в играх](http://www.ixbt.com/cpu/ppro_games.html) ([http://www.ixbt.com/cpu/ppro\\_games.html](http://www.ixbt.com/cpu/ppro_games.html))
- [Процессор Celeron](http://www.ixbt.com/cpu/celeron.html) (<http://www.ixbt.com/cpu/celeron.html>)
- [Обзор процессора Intel Pentium III 500 МГц](http://www.ixbt.com/cpu/pentiumiii.html) (<http://www.ixbt.com/cpu/pentiumiii.html>)
- [Mendocino: процессоры Celeron 300A и 333](http://www.ixbt.com/cpu/mendocino.html) (<http://www.ixbt.com/cpu/mendocino.html>)
- [Обзор процессоров Intel Pentium III 600E и 600EB с ядром Coppermine](http://www.ixbt.com/cpu/intel-coppermine.html) (<http://www.ixbt.com/cpu/intel-coppermine.html>)

---

Источник — [https://ru.wikipedia.org/w/index.php?title=Intel\\_P6&oldid=132946264](https://ru.wikipedia.org/w/index.php?title=Intel_P6&oldid=132946264)

---

**Эта страница в последний раз была отредактирована 15 сентября 2023 в 07:21.**

Текст доступен по лицензии Creative Commons «С указанием авторства — С сохранением условий» (CC BY-SA); в отдельных случаях могут действовать дополнительные условия.

Wikipedia® — зарегистрированный товарный знак некоммерческой организации Фонд Викимедиа (Wikimedia Foundation, Inc.)