

ВИКИПЕДИЯ

# EPIC (архитектура микропроцессора)

Материал из Википедии — свободной энциклопедии

**EPIC** (англ. *explicitly parallel instruction computing* — «вычисление с явным параллелизмом машинных команд») — класс микропроцессорных архитектур с явным параллелизмом команд. Термин введён в 1997 году альянсом HP и Intel<sup>[1]</sup> для разрабатываемой архитектуры Intel Itanium<sup>[2]</sup>. EPIC позволяет микропроцессору выполнять инструкции параллельно, опираясь на информацию от компилятора, а не выявляя возможность параллельной работы инструкций при помощи специальных схем во время исполнения. В теории, это могло упростить масштабирование вычислительной мощности процессора без увеличения тактовой частоты.

## Содержание

**Истоки VLIW**

**Эволюция VLIW**

**Иные разработки и исследования**

**См. также**

**Примечания**

**Ссылки**

## Истоки VLIW

В 1989 году исследователи компании Hewlett-Packard пришли к выводу, что количество инструкций, которые процессор архитектуры RISC способен выполнить за один такт, ограничено. Были начаты разработки новой архитектуры, основанной на архитектуре VLIW и названной EPIC<sup>[2]</sup>. У процессоров архитектуры VLIW одна инструкция (одно командное слово) кодирует несколько операций; операции выполняются одновременно разными исполнительными устройствами процессора.

Цели разработки EPIC:

- удаление из процессора планировщика инструкций;
- увеличение количества инструкций, которые процессор способен выполнять одновременно (англ. *instruction level parallelism* — параллелизм инструкций).

Планировщик инструкций — устройство со сложной логикой, входящее в состав процессора и предназначенное для определения порядка выполнения инструкций. Удаление планировщика инструкций позволило освободить место внутри процессора для других устройств (например, для АЛУ). Функции планировщика инструкций были возложены на компилятор.

Увеличение степени параллелизма инструкций достигается использованием возможностей компилятора по поиску независимых команд.

Архитектуры *VLIW* в своей изначальной форме имели несколько недостатков, препятствующих их массовому внедрению:

- наборы инструкций *VLIW* не являлись совместимыми между различными поколениями процессоров (программа, скомпилированная для процессора, содержащего больше исполнительных устройств (например, больше *АЛУ*), не могла выполняться процессором, содержащим меньшее количество устройств);
- задержки загрузки данных из иерархии памяти (кэшей, *DRAM*) не являлись полностью предсказуемыми (из-за этого усложнялась реализация статического планирования инструкций загрузки и использования данных).

## Эволюция *VLIW*

---

Архитектура *EPIC* имеет следующие особенности для устранения недостатков *VLIW*:

- Каждая группа из нескольких инструкций называется бандлом (*bundle*). Каждый бандл может иметь стоповый бит, обозначающий, что следующая группа зависит от результатов работы данной. Такой бит позволяет создавать будущие поколения архитектуры с возможностью параллельного запуска большего числа бандлов. Информация о зависимостях вычисляется компилятором, и поэтому аппаратуре не придётся проводить дополнительную проверку независимости операндов.
- Для предподкачки данных используется инструкция программной подкачки (*software prefetch*). Предподкачка увеличивает вероятность того, что к моменту исполнения команды загрузки данные уже будут в кэше. Также в этой инструкции могут быть дополнительные указания для выбора различных уровней кэша для данных.
- Инструкция спекулятивной загрузки используется для загрузки данных до того, как станет известно, будут ли они использованы (*bypassing control dependencies*), или будут они изменены перед использованием (*bypassing data dependencies*).
- Инструкции проверки загрузки (*check load instruction*) помогают инструкциям спекулятивной загрузки при помощи проверок, зависела ли инструкция загрузки от последующей записи. В случае наличия подобной зависимости спекулятивная загрузка должна быть повторена.

Архитектура *EPIC* также включает в себя несколько концепций (*grab-bag*) для увеличения *ILP* (параллелизма инструкций):

- Предсказание ветвлений используется, чтобы снизить частоту переходов и для увеличения спекулятивности исполнения инструкций. В последнем случае условное ветвление преобразуется в заполнение предикатных регистров, затем выполняются обе ветви. Результат той ветви, которая не должна была выполняться, отменяется по значению предикатного регистра.
- Отложенные исключительные ситуации, использующие бит Not a thing в регистрах общего назначения. Они позволяют продолжать спекулятивное исполнение даже после исключительных ситуаций.
- Крайне большой регистровый файл, чтобы избежать необходимости в переименовании регистров.
- Команды ветвления с несколькими целевыми адресами улучшают предсказание ветвлений путём комбинирования нескольких чередующихся ветвей в единый бандл.

В архитектуре Itanium также был добавлен вращающийся регистровый файл<sup>[3]</sup>, необходимый для упрощения программной конвейеризации циклов (*software pipelining*). При наличии такого файла исчезает необходимость в ручной раскрутке циклов и ручного переименования регистров<sup>[4]</sup>.

## Иные разработки и исследования

---

Существовало некоторое количество исследований архитектур EPIC, не связанных с разработками по Itanium.

- Проект ИМПАКТ в университете Иллинойса в Urbana-Champaign под руководством Wenmei Hwu сильно повлиял на более поздние исследования.
- Архитектура PlayDoh от HP-labs.
- Федерация Gelato, сообщество разработчиков по разработке более эффективных компиляторов для Linux на серверах Itanium. (Gelato Federation)

## См. также

---

- Complex instruction set computer (CISC)
- Reduced instruction set computer (RISC)
- Very long instruction word (VLIW)
- Эльбрус — российский процессор
- IA-64
- Суперскалярность

## Примечания

---

1. *Schlansker and Rau* EPIC: An Architecture for Instruction-Level Parallel Processors (<https://www.webcitation.org/67E9S7PaE?url=http://www.hpl.hp.com/techreports/1999/HPL-1999-111.pdf>) (PDF). *HP Laboratories Palo Alto, HPL-1999-111* (February 2000). Дата обращения: 8 мая 2008. Архивировано из оригинала (<http://www.hpl.hp.com/techreports/1999/HPL-1999-111.pdf>) 27 апреля 2012 года.
2. *Inventing Itanium: How HP Labs Helped Create the Next-Generation Chip Architecture* (<https://www.webcitation.org/67E9SZXq9?url=http://www.hpl.hp.com/news/2001/apr-jun/itanium.html>). *HP Labs* (June 2001). Дата обращения: 14 декабря 2007. Архивировано из оригинала (<http://www.hpl.hp.com/news/2001/apr-jun/itanium.html>) 27 апреля 2012 года.
3. *Современные серверные процессоры. Часть 2. Intel Itanium, HP PA8700, Alpha* ([http://www.npk.ru/articles/article.html?id=47\\_1&pv=1](http://www.npk.ru/articles/article.html?id=47_1&pv=1)) Архивировано ([https://web.archive.org/web/20120112033943/http://www.npk.ru/articles/article.html?id=47\\_1&pv=1](https://web.archive.org/web/20120112033943/http://www.npk.ru/articles/article.html?id=47_1&pv=1)) 12 января 2012 года.
4. *De Gelas, Johan* Itanium—Is there light at the end of the tunnel? (<https://www.webcitation.org/67E9T55Cy?url=http://www.anandtech.com/show/1854>) *AnandTech* (9 ноября 2005). Дата обращения: 8 мая 2008. Архивировано из оригинала (<http://www.anandtech.com/cpuchipsets/showdoc.aspx?i=2598>) 27 апреля 2012 года.

## Ссылки

---

- Historical background for EPIC (<http://www.cs.clemson.edu/~mark/epic.html>)
- Mark Smotherman (2002) «Understanding EPIC Architectures and Implementations ([http://www.cs.clemson.edu/~mark/464/acmse\\_epic.pdf](http://www.cs.clemson.edu/~mark/464/acmse_epic.pdf)) »

---

Источник — [https://ru.wikipedia.org/w/index.php?title=EPIC\\_\(архитектура\\_микропроцессора\)&oldid=118863407](https://ru.wikipedia.org/w/index.php?title=EPIC_(архитектура_микропроцессора)&oldid=118863407)

---

**Эта страница в последний раз была отредактирована 25 декабря 2021 в 02:40.**

Текст доступен по лицензии Creative Commons «С указанием авторства — С сохранением условий» (CC BY-SA); в отдельных случаях могут действовать дополнительные условия.

Wikipedia® — зарегистрированный товарный знак некоммерческой организации Фонд Викимедиа (Wikimedia Foundation, Inc.)